

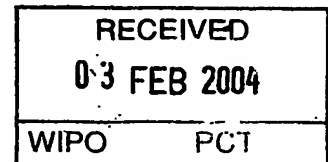
日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月 6日

出願番号
Application Number: 特願2002-355673
[ST. 10/C]: [JP2002-355673]



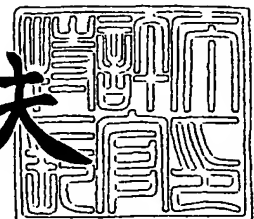
出願人
Applicant(s): ザインエレクトロニクス株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 1月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 P02-0842

【提出日】 平成14年12月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 7/00

【発明の名称】 変調クロック信号発生回路

【請求項の数】 15

【発明者】

 【住所又は居所】 東京都中央区八丁堀一丁目10番7号 ザインエレクトロニクス株式会社内

 【氏名】 小沢 誠一

【発明者】

 【住所又は居所】 東京都中央区八丁堀一丁目10番7号 ザインエレクトロニクス株式会社内

 【氏名】 岡村 淳一

【特許出願人】

 【識別番号】 399011195

 【氏名又は名称】 ザインエレクトロニクス株式会社

【代理人】

 【識別番号】 100091096

 【弁理士】

 【氏名又は名称】 平木 祐輔

【選任した代理人】

 【識別番号】 100102576

 【弁理士】

 【氏名又は名称】 渡辺 敏章

【選任した代理人】

【識別番号】 100108394

【弁理士】

【氏名又は名称】 今村 健一

【手数料の表示】

【予納台帳番号】 015244

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 変調クロック信号発生回路

【特許請求の範囲】

【請求項 1】 互いに位相差を有する N 相のクロック信号を発生する多相クロック信号発生手段と、

前記多相クロック信号発生手段から出力される前記 N 相のクロック信号のうちのいずれのクロック信号を選択するかを指示する第 1 のクロック選択信号であって、前記 N 相のクロック信号のそれぞれと対応する第 1 のクロック選択信号を順次出力する制御手段と、

前記制御手段から出力される前記第 1 のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうち少なくとも一方のタイミングを調整して、前記多相クロック発生手段から出力される前記 N 相のクロック信号のそれぞれと対応する第 2 のクロック選択信号を出力するタイミング調整手段と、

前記タイミング調整手段から出力される前記第 2 のクロック選択信号のうちの活性化状態に基づいて前記 N 相のクロック信号のうちのクロック信号を選択し、変調クロック信号を出力する選択手段と
を備えることを特徴とする変調クロック信号発生回路。

【請求項 2】 前記タイミング調整手段は、前記選択手段により前記活性化された第 2 のクロック選択信号に対応して選択されるクロック信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングと、前記第 2 のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングとが重ならないように、前記第 1 のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整することを特徴とする請求項 1 に記載の変調クロック信号発生回路。

【請求項 3】 前記タイミング調整手段は、前記選択手段により前記活性化された第 2 のクロック選択信号に対応して選択されるクロック信号の位相とは異なる位相を有するクロック信号に基づいて、前記第 1 のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整することを特徴とする請求項 1 又は 2 に記載の変調クロック信号発生回路。

【請求項 4】 前記タイミング調整手段は、前記選択手段により前記活性化された第 2 のクロック選択信号に対応して選択されるクロック信号の位相とは所定範囲の位相差を有するクロック信号に基づいて、前記第 1 のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整することを特徴とする請求項 1 又は 2 に記載の変調クロック信号発生回路。

【請求項 5】 前記所定範囲の位相差は、略 90 度であることを特徴とする請求項 4 に記載の変調クロック信号発生回路。

【請求項 6】 前記タイミング調整手段は、前記第 1 のクロック選択信号を入力として、前記選択手段で選択する前記活性化された第 2 のクロック選択信号に対応して選択されるクロック信号の位相とは異なる位相を有するクロック信号に基づいて前記第 2 のクロック選択信号を出力する N 個のフリップフロップ回路を含むことを特徴とする請求項 1 又は 2 に記載の変調クロック信号発生回路。

【請求項 7】 前記選択手段は、

前記 N 相のクロック信号のうちのいずれか 1 つのクロック信号が入力されるスイッチ入力端子と、

前記スイッチ入力端子に入力される 1 つのクロック信号に対応する第 2 のクロック選択信号が入力されるスイッチ制御端子と、

前記スイッチ制御端子に入力される第 2 のクロック選択信号の活性化状態に基づいて前記スイッチ入力端子に入力される 1 つのクロック信号を出力するスイッチ出力端子と

をそれぞれ有する N 個のスイッチ回路を含み、

前記 N 個のスイッチ回路から出力されるクロック信号を前記変調クロック信号として出力することを特徴とする請求項 1 ～ 6 のいずれか 1 つに記載の変調クロック信号発生回路。

【請求項 8】 前記多相クロック信号発生手段は、

位相比較回路と、N 相可変発振回路と、を含み、

前記位相比較回路は、基準クロック信号と前記 N 相可変発振回路からの出力信号とが入力されて、前記基準クロック信号の位相と前記出力信号の位相との差を

示す位相差信号を出力し、

前記N相可変発振回路は、前記位相比較回路から出力される前記位相差信号に基づいて制御される前記N相のクロック信号を発生することを特徴とする請求項1～7のいずれか1つに記載の変調クロック信号発生回路。

【請求項9】 互いに位相差を有するN相のクロック信号を発生する多相クロック信号発生手段と、

前記多相クロック信号発生手段から出力される前記N相のクロック信号のうちのいずれのクロック信号を選択するかを指示する第1のクロック選択信号であって、前記N相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段と、

前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整して、前記多相クロック発生手段から出力される前記N相のクロック信号のそれぞれと対応する第2のクロック選択信号を出力するタイミング調整手段と、

前記タイミング調整手段から出力される前記第2の選択クロック信号のうちの活性化状態に基づいて前記N相のクロック信号のうちのクロック信号を選択して選択クロック信号を出力する選択手段と、

前記選択手段から出力される選択クロック信号を入力し、前記選択クロック信号のジッタをフィルタリングして変調クロック信号を出力する位相同期手段と、を備えることを特徴とする変調クロック信号発生回路。

【請求項10】 互いに位相差を有するN相のクロック信号のうちのいずれのクロック信号を選択するかを指示する第1のクロック選択信号であって、前記N相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段と、

前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整して、前記多相クロック発生手段から出力される前記N相のクロック信号のそれぞれと対応する第2のクロック選択信号を出力するタイミング調整手段と、

前記タイミング調整手段から出力される前記第2のクロック選択信号のうちの

活性化状態に基づいて前記N相のクロック信号のうちのクロック信号を選択して選択クロック信号を出力する選択手段と、

基準クロック信号と前記選択手段から出力される選択クロック信号とを入力し、前記基準クロック信号の位相と前記選択クロック信号の位相との比較結果に基づいて制御される前記N相のクロック信号を発生するとともに、前記N相のクロック信号のうちの1つのクロック信号を変調クロック信号として出力する多相クロック信号発生手段と、

を備えることを特徴とする変調クロック信号発生回路。

【請求項11】 前記選択手段から出力される前記選択クロック信号を分周し、該分周された選択クロック信号を前記多相クロック信号発生手段に出力する分周手段をさらに含むことを特徴とする請求項10に記載の変調クロック信号発生回路。

【請求項12】 前記制御手段は、前記選択手段から出力される前記選択クロック信号を入力し、前記選択クロック信号に同期して前記現在選択されているクロック信号、又は、現在選択されているクロック信号の位相に隣接する位相を有するクロック信号のいずれかを選択するように前記第1のクロック選択信号を出力することを特徴とする請求項10又は11に記載の変調クロック信号発生回路。

【請求項13】 前記制御手段は、所定周波数に比例したデータを入力するデルタシグマ変調回路を含むことを特徴とする請求項12に記載の変調クロック信号発生回路。

【請求項14】 前記デルタシグマ変調回路は、3値のデルタシグマ変調回路であることを特徴とする請求項13に記載の変調クロック信号発生回路。

【請求項15】 前記デルタシグマ変調回路の次数が2であることを特徴とする請求項13又は14に記載の変調クロック信号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、周波数変調された変調クロック信号発生回路に関し、特に、画像デ

ータの伝送を伴う電子機器において放射電磁雑音 (electromagnetic interference: 以下「EMI」と称する。) を低減することができる変調クロック信号発生回路に関する。

【0002】

【従来の技術】

電子機器の汎用化に伴い、電子機器における EMI が問題となり、この EMI を低減することが急務となっている。電子機器において、EMI を低減するための一技術として、スペクトラム拡散クロックを用いる方法が提案されている。より詳細には、特定の周波数にスペクトラムのピークが発生しないように意識的にジッタを発生させたり、また、回路の動作に影響を与えない程度の同期、例えば、数 kHz から数 100 kHz の同期で緩やかに周波数を変動させたりしている。

【0003】

図 16 は、先行技術によるクロック信号発生装置の構成を示す機能ブロック図である。図 16 に示すように、上記クロック信号発生装置は、所望の周波数で位相が一定分だけ互いにずれた m 相のクロック信号 S1m を発生するクロック生成部 2001 と、多相クロック信号 S1m のうちの 1 つを選択する選択処理部 2003 と、選択を決定するディザリング制御部 2002 と、を有している。クロック生成部 2001 において生成された m 相のクロック信号 S1m が、選択処理部 2003 に供給されるとともに、出力端子 2005 を介して取り出される。選択処理部 2003 には、ディザリング制御部 2002 から制御信号 SEL が供給される。選択処理部 2003 は、制御信号 SEL に応じて m 相のクロック信号 S1m のうちの 1 つを順次選択して得られたクロック信号 S2 を端子 2004 から取り出すことができる。選択処理部 2003 を制御するディザリング制御部 2002 は、出力端子 2004 において得られるクロック信号 S2 のスペクトラムが可能な限り拡散し、かつ、供給先が許容する精度の範囲内で位相が所定の関係で前後に変動するように選択信号 SEL を生成する。

【0004】

図 17 は、ディザリング制御部 2002 の具体的な構成例を示す回路ブロック

図である。図 1 7 に示すように、ディザリング制御部 2 0 0 2 は、直列環状をなす 8 個の D 型フリップフロップ 2 0 3 1 ~ 2 0 3 8 と、3 個の O R 回路 2 0 4 1 ~ 2 0 4 3 と、を含んで構成されており、 $s_0 \sim s_4$ の出力信号中の 1 つの信号がハイレベルの時に他の 4 つの信号がローレベルとされ、ハイレベルがクロック信号 c_k の 1 サイクル毎に各信号間を移動する。

【0 0 0 5】

図 1 8 は、選択処理部 2 0 0 3 の具体的な構成例を示すブロック図である。選択処理部 2 0 0 3 は、5 つのスイッチ回路 2 0 5 1 ~ 2 0 5 5 と、バッファ回路 2 0 5 6 とを含んで構成されている。上記 s_0 から s_4 までの出力信号に同期し ΔT 間隔の 5 相クロック信号 $d c_0 \sim d c_4$ の 1 つが選択され、変調クロック信号が生成され、バッファ回路 2 0 5 6 を介して出力される。

【0 0 0 6】

図 1 9 は、上記クロック信号発生装置の動作波形例を示す図である。図 1 9 に示すように、期間 A で示される範囲では、 $d c_0$ 、 $d c_1$ 、 $d c_2$ 、 $d c_3$ 、 $d c_4$ の順でクロック信号が選択されているため、変調クロック信号 S_2 の周期は $T + \Delta T$ (T はクロック信号の周波数 f の逆数で定義される。以下同様の意味で T を用いる。) となり、期間 B では、 $d c_4$ 、 $d c_3$ 、 $d c_2$ 、 $d c_1$ 、 $d c_0$ の順でクロック信号が選択されているため、変調クロック信号 S_2 の周期は $T - \Delta T$ となる。期間 A と期間 B に示される動作が繰り返されるため、変調周期 T_{mod} (図示せず) は、 $+\Delta T$ と $-\Delta T$ とが打ち消し合い、 $T_{mod} = 8 \times T$ となる。

【0 0 0 7】

上記クロック信号発生装置では、スペクトラム上のピークが分散したクロック信号が出力できるため、このクロック信号を用いて電子機器を動作させることで EMI を低減することができる。

【0 0 0 8】

【特許文献 1】

特開 2 0 0 1 - 1 4 8 6 9 0 号公報 (図 1、図 5、図 7、図 9)

【0 0 0 9】

【発明が解決しようとする課題】

しかしながら、上記クロック信号発生回路を用いた場合には、以下に説明するような問題点がある。この問題点について、図20を参照して説明する。図20は、上記クロック信号発生回路における動作上の問題点を示した図である。図20に示すように、 m 相クロック信号 $S1m$ のエッジ（図では立ち上がりエッジ 2101と、立ち下がりエッジ 2103とが示されている）と選択信号 SEL のエッジとが重なった場合に、図18に示す選択処理部 2003に設けられたスイッチ回路 2051～2055の動作（0と1の切り分け）が不完全になり、変調クロック信号 $S2$ の波形が劣化してしまう。すなわち、図20に示すシステムクロック信号の1周期（矢印で示される範囲）に対応するクロック位相である360度に対して、実際に変化させることができるクロック位相の範囲は180度から所定間隔を考慮した範囲を減算した範囲、すなわち180度以下に制約されてしまう。

【0010】

ここで、図21（A）から図21（C）までを参照して、変調周期とクロックのスペクトル強度との関係を説明する。図21（A）は、変調しない場合のスペクトル強度と $1/T$ との関係を示す図であり、図21（B）は、変調周期が短い場合、すなわち $1/T_{mod}$ が大きい場合のスペクトル強度と $1/T$ との関係を示す図であり、図21（C）は、変調周期が長い場合、すなわち $1/T_{mod}$ が小さい場合のスペクトル強度と $1/T$ との関係を示す図である。ここで、 T_{mod} は変調周期を示し、 T はクロック信号の周波数 f の逆数である。

【0011】

図21（A）に示すように、変調されていない場合には、 $f = 1/T$ の位置にスペクトルピーク 2201が観測される。図21（A）に示すスペクトルを分散させるために変調クロック周期が $T - \Delta T$ と $T + \Delta T$ になるように変調した場合、 $f = 1/(T + \Delta T)$ と $f = 1/(T - \Delta T)$ にピークが現れることが期待される。しかしながら、フーリエ変換の性質により、 $1/T_{mod}$ の周期で変化する波形の場合には、 $1/T_{mod}$ の間隔でスペクトルのピークが現れるため、変調周期が短い場合すなわち $1/T_{mod} > \Delta T$ の場合には、 $f = 1/(T + \Delta T)$

）と $f = 1 / (T - \Delta T)$ のスペクトル成分はほとんど $1 / T$ のピーク 2201 に集中してしまい、図21 (B) に示すようにパワーの分散は起きない。一方、図21 (C) に示すように変調周期が長い場合すなわち $1 / T_{mod} < \Delta T$ の場合には、 $f = 1 / (T + \Delta T)$ と $f = 1 / (T - \Delta T)$ のスペクトル成分がピークとして現れる。すなわち、 $1 / T$ におけるピーク 2201 に加えて、 $1 / T_{mod}$ 間隔で $f = 1 / (T + \Delta T)$ と $f = 1 / (T - \Delta T)$ とにそれぞれピーク 2217 とピーク 2215 とが現れる。パワーの分散に伴い、 $1 / T$ におけるピーク 2201 のピーク強度が、図21 (A) 及び図21 (B) に示すピーク 2201 と比べて低くなり、パワーの分散が起こっていることがわかる。

【0012】

変調の効果が現れる条件について考えると、ピークの現れる間隔が、 $1 / T$ と $1 / (T \pm \Delta T)$ との間の間隔よりも短くなる必要がある。すなわち、以下の (1) 式が成立する必要がある。

$$1 / T_{mod} < \text{abs} (1 / T - 1 / (T \pm \Delta T)) \sim \Delta T / T^2 \quad (1)$$

尚、 $\text{abs} (X)$ は、 X の絶対値を意味する。

ここで、多相クロック信号の相数を N とすると、変調周期 T_{mod} は以下の (2) 式で表される。

$$T_{mod} = 2 N \times T \quad (2)$$

(1) 式と (2) 式より、以下の (3) 式を導入することができる。

$$T / 2 < N \times \Delta T \quad (3)$$

ここで、 $N \times \Delta T$ は、図16から図18までに示す回路では位相が可変である範囲に相当し、前述のように少なくとも180度以上の位相可変範囲が必要である。

【0013】

本発明は、クロック位相に関する制約を解消することができる変調クロック信号発生技術を提供することである。

【0014】

【発明を解決するための手段】

本発明の一観点によれば、互いに位相差を有する N 相のクロック信号を発生す

る多相クロック信号発生手段と、前記多相クロック信号発生手段から出力される前記N相のクロック信号のうちのいずれのクロック信号を選択するかを指示する第1のクロック選択信号であって、前記N相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段と、前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうち少なくとも一方のタイミングを調整して、前記多相クロック発生手段から出力される前記N相のクロック信号のそれぞれと対応する第2のクロック選択信号を出力するタイミング調整手段と、前記タイミング調整手段から出力される前記第2のクロック選択信号のうちの活性化状態に基づいて前記N相のクロック信号のうちのクロック信号を選択し、変調クロック信号を出力する選択手段とを備えることを特徴とする変調クロック信号発生回路が提供される。

【0015】

前記タイミング調整手段は、前記選択手段により前記活性化された第2のクロック選択信号に対応して選択されるクロック信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングと、前記第2のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングとが重ならないように、前記第1のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整するのが好ましい。

【0016】

本発明の他の観点によれば、互いに位相差を有するN相のクロック信号を発生する多相クロック信号発生手段と、前記多相クロック信号発生手段から出力される前記N相のクロック信号のうちのいずれのクロック信号を選択するかを指示する第1のクロック選択信号であって、前記N相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段と、前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整して、前記多相クロック発生手段から出力される前記N相のクロック信号のそれぞれと対応する第2のクロック選択信号を出力するタイミング調整手段と、前記タイミング調整手段から出力される前

記第2の選択クロック信号のうちの活性化状態に基づいて前記N相のクロック信号のうちのクロック信号を選択して選択クロック信号を出力する選択手段と、

該選択手段から出力される選択クロック信号を入力し、前記選択クロック信号のジッタをフィルタリングして変調クロック信号を出力する位相同期手段と、を備えることを特徴とする変調クロック信号発生回路が提供される。

【0017】

また、互いに位相差を有するN相のクロック信号のうちのいずれのクロック信号を選択するかを指示する第1のクロック選択信号であって、前記N相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御手段と、前記制御手段から出力される前記第1のクロック選択信号の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整して、前記多相クロック発生手段から出力される前記N相のクロック信号のそれぞれと対応する第2のクロック選択信号を出力するタイミング調整手段と、前記タイミング調整手段から出力される前記第2のクロック選択信号のうちの活性化状態に基づいて前記N相のクロック信号のうちのクロック信号を選択して選択クロック信号を出力する選択手段と、基準クロック信号と前記選択手段から出力される選択クロック信号とを入力し、前記基準クロック信号の位相と前記選択クロック信号の位相との比較結果に基づいて制御される前記N相のクロック信号を発生するとともに、前記N相のクロック信号のうちの1つのクロック信号を変調クロック信号として出力する多相クロック信号発生手段と、を備えることを特徴とする変調クロック信号発生回路が提供される。

【0018】

【発明の実施の形態】

本発明に係る変調クロック信号発生回路において、位相可変範囲に制約の無い変調クロック信号を生成しEMIを低減するために、N相クロック信号のうちから選択される1つのクロック信号の立ち上がり及び立ち下がりのタイミングと、クロック信号を選択するためのクロック選択信号との立ち上がり及び立ち下がりのタイミングと、が時間的なずれを持つように回路を構成する。

【0019】

ここで、N相クロック信号のNは、4以上の整数の場合に本発明に係る変調クロック信号発生回路が有効である。変調クロック信号発生回路における変調クロック信号の波形劣化を防止するためには、多相（N相）クロック信号の立ち上がり及び立ち下がりエッジと、多相クロック信号を選択する各選択信号の立ち上がり及び立ち下がりエッジとが時間的に所定間隔を有するように動作させる必要がある。

【0020】

より具体的には、それぞれ位相が異なる1からNまでのN相クロック信号のうちから1つのクロック信号（第1のクロック信号と称する。）を選択することにより変調クロック信号を生成する際に、上記第1のクロック信号を選択するためのクロック選択信号として、N相クロック信号中から上記第1のクロック信号とは位相の異なる別のクロック信号（第1のクロック選択信号により選択を指示されたクロック信号であって、第2のクロック信号と称する。）に基づいてタイミング調整した第2のクロック選択信号を生成する。第2のクロック選択信号の活性化状態（例えばHigh又はLow）に基づいて、N相クロック信号CK1～CK6のうちいずれかを選択して、これを変調クロック信号として出力する。

【0021】

これにより、第1のクロック信号の立ち上がり及び立ち下がりのタイミングと、この第1のクロック信号を選択する第2のクロック選択信号の立ち上がり及び立ち下がりのタイミングとを意図的にずらすことが可能となる。

【0022】

上記考察に基づいて、以下に本発明の一実施の形態による変調クロック信号発生回路について図面を参照しつつ説明する。図1は、本発明の一実施の形態による変調クロック信号発生回路の構成例を示す機能ブロック図である。図1に示すように、本発明の一実施の形態による変調クロック信号発生回路は、6相クロック信号発生器101と、セレクタ102と、タイミング調整回路105と、制御回路103とを有している。クロックの相数6は例示である。6相クロック信号発生器101は、例えば所望の周波数で等位相間隔の6相のクロック信号CK1～CK6を生成しセレクタ102に出力する。制御回路103は、6相のクロッ

ク信号CK1～CK6のいずれを選択するかを指示する第1のクロック選択信号SEL1～SEL6を出力する。タイミング調整回路105は、6相のクロック信号CK1～CK6に基づいて第1のクロック選択信号SEL1～SEL6のタイミングを調整した後の実際のクロック選択信号である第2のクロック選択信号SSEL1～SSEL6をセクタ102に出力する。セクタ102は、入力された第2のクロック選択信号SSEL1～SSEL6により、6相のクロック信号CK1～CK6のうち対応するクロック信号を選択し変調クロック信号MCKとして出力する。より具体的には、第2のクロック選択信号SSEL1～SSEL6の活性化状態に応じてクロック信号を選択し、これを変調クロック信号として出力する。制御回路103は、変調クロック信号MCKに同期して動作し、第1のクロック選択信号SEL1～SEL6を生成する。第1のクロック選択信号SEL1～SEL6に基づいて、常に6相クロック信号CK1～CK6のうち対応するクロック信号が選択される。

【0023】

図2は、6相クロック信号発生器の第1構成例を示す図である。図2に示す6相クロック信号発生器101は、3つの差動アンプ201～203と、6つのコンパレータ211～216と、を有している。3つの差動アンプ201～203はリング発振器を形成している。6つのコンパレータ211～216は、それぞれの間で遅延を有する差動アンプ201～203の出力と反転出力とをコンパレータ211～216において比較することにより、6相のクロック信号CK1～CK6に変換する。各差動アンプ毎の遅延時間を全て等しくすることにより、6相クロックCK1～CK6を、等位相間隔にすることができる。

【0024】

尚、図2に示す6相クロック信号発生器に代えて、図3に示す第2構成例による6相クロック信号発生器を用いても良い。図3に示す6相クロック信号発生器は、位相比較器(PFD: phase frequency detector)301と、チャージポンプ302と、ループフィルタ(LPF)303と、6相VCO(電圧制御発振器: Voltage controlled oscillator)304とを有している。6相クロックのうち1つが位相比較器3

01に入力されるPLL構成を有している。図3に示す6相クロック信号発生器は、位相比較器301に入力される基準クロック信号REFCLKと同じ周期で等位相間隔のクロック信号CK1～CK6を6相VCO304から出力する。

【0025】

図4は、制御回路103の第1構成例を示す図である。図4に示すように、第1構成例による制御回路103は、アップ／ダウンカウンタ401と、デコーダ402と、制御部405とを有している。制御部405は、アップ／ダウンカウンタ401を制御するための制御信号CSGを出力する。アップ／ダウンカウンタ401は、パルスを受けるとカウンタの値を1ずつ加算したり、減算したりすることができるカウンタであって、変調クロック信号（パルス信号）MCKに同期して動作し、制御信号CSGを受ける毎に出力のカウンタ値CTVを、1→2→3→4→5→6→1→2…（アップ）、或いは、6→5→4→3→2→1→6→5…（ダウン）のように変化させる。“アップ”、“ダウン”、“保持”の3通りの動作のうちのいずれかに従う値を、カウンタ値CTLとしてデコーダ402に出力する。デコーダ402は、第1のクロック選択信号SEL1～SEL6の中から、カウンタ値CTVに対応した第1のクロック選択信号SEL1～SEL6をHighにする。

【0026】

図5は、制御回路103の第2構成例を示す図である。図5に示すように、第2構成例による制御回路103は、例えばパルスの遅延に利用される6個のフリップフロップ回路（D-FF）501～503、506～508と、それぞれに対応する6個のセクタ回路511～516と、制御部505とを有している。フリップフロップ回路501～503、506～508の出力は、セクタ102（図1）における第1のクロック選択信号SEL1～SEL6の対応する入力それぞれと接続されている。

【0027】

セクタ回路511～516は、3入力1出力セクタ回路により構成されており、制御部505の出力である制御信号（セクタ信号）CSGが、各セクタ回路511～516を制御する。より具体的には、セクタ回路511～51

6は、制御信号CSGの3つの状態に応じて、3入力のうちのいずれかを選択して出力する回路である。一方、フリップフロップ回路501～503、506～508は、セクタ102の出力を変調クロック信号MCKによりラッチして第1のクロック選択信号SEL1～SEL6として出力する。これにより、第1のクロック選択信号SEL1～SEL6のHighの位置が遷移する。

【0028】

図6は、図4又は図5に示す制御回路103の動作波形を示す図である。制御信号CSGにはアップの場合とダウンの場合とがあり、アップの場合には、第1のクロック選択信号SEL1～SEL6のHighの位置が、矢印AR1で示すようにSEL1→SEL2→SEL3…と変化し、ダウンの場合には、選択信号SEL1～SEL6のHighの位置が、矢印AR2で示すようにSEL3→SEL2→SEL1…と変化する。

【0029】

図7は、図1に示すセクタ102とタイミング調整回路105とを含む回路の第1構成例を示す図である。図7に示すように、セクタ102は、フリップフロップ回路701～706を含み、タイミング調整回路105は、それぞれのフリップフロップ回路701～706に対応するスイッチ711～716と、これらの出力に共通に設けられた1つのバッファ回路721と、を有している。フリップフロップ回路701～706のそれぞれの入力端子には、対応する第1のクロック選択信号SEL1～SEL6までのそれぞれが入力されるとともに、クロックパルス端子には、第1のクロック選択信号SEL1～SEL6とは異なる位相を有するクロック信号CK1～CK6のいずれか1つが入力される。例えば、フリップフロップ回路701の入力端子には選択信号SEL1が入力されるとともに、クロックパルス端子にはクロック信号CK5が入力される。同様に、フリップフロップ回路702の入力端子には第2のクロック選択信号SEL2が入力されるとともに、クロックパルス端子にはクロック信号CK6が入力される。すなわち、第1のクロック選択信号SEL1～SEL6までは、フリップフロップ回路701～706のそれぞれの回路に入力されるそれぞれの第1のクロック選択信号SEL1～SEL6によって選択されるクロック信号よりも $T/3$ (1

20度) だけ前のクロック信号CKによりラッチされた出力信号であって、対応する第1～第6のスイッチ711～716までのオンオフを制御する第2のクロック選択信号(スイッチ制御信号)SSEL1～SSEL6の出力信号を出力する。

【0030】

第2のクロック選択信号SSEL1～SSEL6と選択されるクロック信号CKのエッジが重ならないようにするためには、選択されるクロック信号CKとフリップフロップでラッチに使用するクロック信号の位相差を90度程度にした場合、最もマージンが大きい。尚、図7においては、例として120度の位相差を有する場合を示している。

【0031】

スイッチ711～716のそれぞれの入力側に、対応するクロック信号CK1～CK6が入力され、第2のクロック選択SSEL1～SSEL6によりオンオフ制御されて出力側に信号が伝わる。スイッチ711～716のそれぞれの出力側は共通になっており、バッファ回路721を介して変調クロック信号104が生成され、出力される。

【0032】

スイッチ711の構成例について図8(A)及び(B)を参照して説明する。図8(A)は、CMOSアナログスイッチであり、n型MOSトランジスタ803と、p型MOSトランジスタ802と、インバータ801とを有している。n型MOSトランジスタ803とp型MOSトランジスタ802との制御端子(ゲート端子)に、第2のクロック選択信号(スイッチ制御信号;図7のSSEL)が入力される。p型MOSトランジスタ802には、インバータ801を介して第2のクロック選択信号SSEL1が入力され、これをHighにすると、スイッチが導通状態となりスイッチの入力信号CK1がスイッチの出力OUTに伝わる。

【0033】

図8(B)に示すスイッチは、n型MOSトランジスタ804を用いており、n型MOSトランジスタ804のゲート端子に第2のクロック選択信号SSEL

1が入力され、スイッチ信号CK1がHighの時にスイッチ入力信号がスイッチ出力OUTに伝わる。尚、スイッチ712～716も、図8(A)、(B)と同様の構成である。

【0034】

図10及び図11を参照して、上記変調クロック信号発生回路の動作について説明する。図10には、第1のクロック選択信号SEL1～SEL6と、例えば図7においてクロック信号CK1～からCK6のいずれかを選択する実質的な選択信号である第2のクロック選択信号SSEL1～SSEL6と、クロック信号CK1～CK6と、変調クロック信号MCKと、の信号波形が示されている。

【0035】

クロック信号CK1～CK6は、クロックが遅くなる方向にずれている。クロック信号CK1～CK6のいずれか異なる信号が毎回選択されている。生成される変調クロック信号MCKの周期は $T + \Delta T$ になっている。第1の選択信号SEL1～SEL6は、変調クロック信号MCKに同期した信号である。ここで、第1のクロック選択信号SEL1～SEL6を、クロック信号CK1～CK6までのいずれかの信号でラッチすることにより第2のクロック選択信号SSEL1～SSEL6を生成する。図10に示す例では、例えば第5のクロック信号CK5の入力で第1の選択信号SEL1をラッチして第2のクロック選択信号SSEL1をLowに変化させる。クロック信号CK2に関しても、同様にクロック信号CK6により第1のクロック選択信号SEL2の値をラッチして第2のクロック選択信号SSEL2を生成する。以下、同様にして第2のクロック選択信号SSEL3～6を生成する。

【0036】

例えばクロック信号CK1と、これとは位相が異なる($T/3$ 、すなわち120度だけ前)クロック信号CK5により生成された第2のクロック選択信号SSEL1とは、図10より明らかなように、エッジの位置が常に一定の間隔を有しておりエッジが重なることはない。従って、クロック信号CK1～CK6により順次生成される変調クロック信号MCKは、周期 $T + \Delta T$ が時間としてどれだけ続いたとしても第2のクロック選択信号SSEL1～SSEL6のエッジと、選

択されるクロック信号のエッジとが重なることがないため、選択されたクロック信号の波形が劣化することがない。CK1→CK2→CK3→CK4→CK5→CK6→CK1→…にそれぞれ対応する変調クロック信号MCKを連続して生成することができるという利点がある。図10においては、第2のクロック選択信号SEL1～6のいずれもLowになっている期間が存在する。この期間中、スイッチ出力は配線や素子の寄生容量によって保持される。

【0037】

図11に示す波形は、図10と同様にクロック信号CK1～CK6のいずれか異なる信号が毎回選択されているが、生成される変調クロック信号MCKの周期は $T - \Delta T$ になっている点において異なる。すなわち、クロック信号CK1～CK6は、クロックが早くなる方向にずれている。例えばクロック信号CK1と、これとは位相が異なる($T/3$ 、すなわち $2\pi/3$ だけ)クロック信号CK5により生成された第2のクロック選択信号SEL1とは、図11より明らかなように、エッジの位置が常に一定の間隔を有しておりエッジが重なることはない。従って、クロック信号CK1～CK6により順次生成される変調クロック信号104は、周期 $T - \Delta T$ がどれだけ続いたとしても問題が生じない。加えて、CK6→CK5→CK4→CK3→CK2→CK1→CK6→…にそれぞれ対応する変調クロック信号MCKを連続して生成することができるという利点がある。

【0038】

以上、本発明の第1の実施の形態による変調クロック信号発生装置によれば、位相可変範囲に関する制約が無い変調クロック信号を生成することができ、電子機器のEMIを低減することができる。

【0039】

図9は、図1に示すセクタ102の図7とは異なる回路構成例を示す図である。図9に示すセクタが、図7に示すセクタと異なる点は、フリップフロップ回路901のそれぞれと対応するスイッチ911に対して、対応するフリップフロップ回路901のクロック入力端子に入力される信号と同じクロック信号CK1が入力されている点と、スイッチ911に入力するクロック信号CK1を遅延させるための遅延回路931が設けられている点である。実際には上記の回路

がN個設けられている。図9に示すセレクタを用いた場合でも、スイッチ911には、クロック信号CK1に対して遅延回路931により遅延されたクロック信号が入力されるため、図7においてフリップフロップ回路901に入力されるクロック信号CK1とエッジの位置が異なるクロック信号をスイッチ911に入力することができる。

【0040】

次に、本発明の第2の実施の形態による変調クロック信号発生回路について図面を参照して説明する。図12は、本実施の形態による変調クロック信号発生回路の構成例を示すブロック図である。図12に示すように、本実施の形態による変調クロック信号発生回路は、図1に示す第1の実施の形態による変調クロック信号発生回路と同様に6相クロック信号発生器1201と、セレクタ1202と、タイミング調整回路1207と、制御回路1203とを有している。それに加えて、セレクタ1202の出力にPLL1205が接続されている点が図1に示す回路とは異なっている。変調クロック信号MCKはPLL1205から出力される。本実施の形態による変調クロック信号発生回路を用いると、セレクタ1202の出力の周期の離散的な変化がフィルタリングされるため、ジッタの少ない出力信号を得ることができる。

【0041】

次に、本発明の第3の実施の形態による変調クロック信号発生回路について図13を参照して説明する。図13に示すように、本実施の形態による変調クロック信号発生回路は、位相比較器(PFD)1301と、チャージポンプ(Charge pump)1302と、ループフィルタ(LPF)1303と、6相VCO(電圧制御発振器)1304と、セレクタ1305と、タイミング調整回路1307と、制御回路1306とを有している。セレクタ1305の構成は、例えば図7又は図9において示した構成と同様である。第1の実施の形態と同様にセレクタ1305において選択された選択クロック信号SECLKは、位相比較器1301にフィードバックされ、全体としてPLL構成を有しており、この回路はセレクタ内蔵型PLLといえることができる。位相比較器(PFD)1301には周期T0、周波数f0のリファレンスクロック信号が入力されており、これ

と選択されたクロック信号の周期、周波数が等しくなるように制御される。6相 VCO1304 の出力のうちの 1 つが変調クロック信号 MCK として出力される。

【0042】

上記回路において、セクタ 1305 の選択が変わらない場合、変調クロック信号 MCK の周波数 f は基準クロック信号 REFCLK の周波数 f_0 と同じである。

$$f = f_0 \quad (4)$$

【0043】

上記構成において、セクタ 1305 の選択が例えば 1 つずつ後にずれていく場合に、選択されたクロック信号の周期は $7T/6$ となる。その結果、周波数 $f = 7f_0/6$ となるようにフィードバックがかかる。セクタの選択が例えば 1 つずつ前にずれていく場合に、選択されたクロック信号の周期は $5T/6$ となる。その結果、周波数 $f = 5f_0/6$ となるようにフィードバックがかかる。従って、上記変調クロック信号発生回路においては、変調クロック信号 MCK の周波数を $5f_0/6$ から $7f_0/6$ まで任意に変化させることができる。また、実効的な回路ブロック数も低減でき、構成を簡単化することができる。

【0044】

図 14 は、図 13 における制御回路 1306 の構成例を示すブロック図である。図 14 に示すように、制御回路 1306 は、周波数データ発生器 1401 と、3 値 $\Delta\Sigma$ 変調器 1402 と、アップ/ダウンリングレジスタ 1403 と、を有している。選択クロック信号 SECLK に同期して状態を遷移させるリングレジスタ 1403 により第 1 のクロック選択信号 SEL1 ~ SEL6 を生成する。周波数データ発生器 1401 の出力である周波数データ FData は、3 値 $\Delta\Sigma$ 変調器 1402 に入力し、3 値の制御信号 CS に変換される。アップ/ダウンリングレジスタ 1403 は、制御信号 CS により、選択を前後に遷移させるか、或いは、維持する。

【0045】

図 15 は、図 14 に示される 3 値 $\Delta\Sigma$ 変調器 1402 の一構成例を示す図であ

り、2次 $\Delta\Sigma$ 変調回路を示す図である。図15に示すように、2次 $\Delta\Sigma$ 変調回路は、第1から第4までの加算器1501、1502、1504、1506と、遅延回路1503及び1506と、3値の量子化器1507とを有している。3値の量子化器1507は、入力に応じて $+\Delta$ 、0、 $-\Delta$ の3値のいずれかを制御信号CSとして出力する。3値のそれぞれを、クロックの選択に関して、「後ろに遷移」、「維持」、「前に遷移」に対応させると、それぞれの変調クロックの周波数が、 $f = 7f_0/6$ 、 $f = f_0$ 、 $f = 5f_0/6$ になるように制御される。

【0046】

図15の構成によれば、以下の式で表される値を周波数データFDa t aとして入力することにより、変調クロック信号MCK（図13）の周波数を任意の周波数f1に制御することができる。

$$\text{周波数データ} = \Delta \times (f_1 - f_0) / (f_0 / 6) \quad (5)$$

尚、図14の3値 $\Delta\Sigma$ 変調器1402に代えて、1ビットの $\Delta\Sigma$ 変調器を用いても良い。

【0047】

本実施の形態による変調クロック信号発生回路を用いると、簡易な構成で周波数変調を実現することができる。また、一般にチャージポンプのパルス幅が大きい場合には、PLL出力のジッタが大きくなる傾向があるが、本実施の形態による変調クロック信号発生回路によれば、セレクタを使用してフィードバックのクロック位相を細かく制御できるため、ジッタが少なくなるという利点がある。

【0048】

図22は、図13に示す回路の変形例であり、セレクタ1705からの出力であって、位相比較器(PFD)1701への出力の間に分周回路1708が設けられている。

【0049】

図22に示す変調クロック信号発生回路によれば、変調動作だけでなく、周波数逡倍も同時に行うことができる。セレクタ1705の選択が変わらない場合、セレクタの出力の周期は、変調クロックの周期Tになる。例えば、分周回路1708の逡倍比をMとすれば、分周回路出力の周期は $M \times T$ になる。基準クロック

信号 R E F C L K の周期を T_0 とすれば、この構成においては分周回路 1708 の出力の周期と基準クロック信号 R E F C L K の周期が等しくなるよう制御がかかるため、 $T_0 = M \times T$ となり、従って、 $T = T_0 / M$ となる。ここで、基準クロック信号 R E F C L K の周波数、変調クロックの周波数をそれぞれ f_0 、 f とすれば、これらはそれぞれ T_0 、 T の逆数であるから、変調クロックの周波数は、 $f = M \times f_0$ となる。

【0050】

セクタ 1705 の選択が 1 つずつ後ろにずれていく場合、セクタ出力の周期は、 $7T/6$ になる。分周回路出力の周期と基準クロック信号 R E F C L K の周期とが等しいことにより $T_0 = M \times 7T/6$ である。

【0051】

以下、同様に計算すれば、変調クロック信号 M C K の周波数は、 $f = (7/6) \times M \times f_0$ になる。同様に、セクタ 1705 の選択が 1 つずつ前にずれていく場合、変調クロック信号 M C K の周波数は、 $f = (5/6) \times M \times f_0$ になる。従って、セクタ 1705 の選択を適宜制御することにより、変調クロック信号 M C K の周波数を $(5/6) \times M \times f_0$ から $(7/6) \times M \times f_0$ まで任意に制御することができる。また、この構成によれば、クロック信号 C K 1 ~ C K 6 の周期が短くなるため、選択されたクロック信号 C K 1 ~ C K 6 の位相をより細かく制御できることになり、ジッタが小さくなる利点がある。

【0052】

以上、発明の実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0053】

【発明の効果】

本発明によれば、変調クロック信号発生回路における選択するクロック信号の位相範囲に制限がないため、E M I のより一層の低減が可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による変調クロック信号発生回路の全体構成例を示すブロック図である。

【図 2】

図 1 の 6 相クロック信号発生器の第 1 構成例を示すブロック図である。

【図 3】

図 1 の 6 相クロック信号発生器の第 2 構成例を示すブロック図である。

【図 4】

図 1 の制御回路の第 1 構成例を示すブロック図である。

【図 5】

図 1 の制御回路の第 2 構成例を示すブロック図である。

【図 6】

図 1 の制御回路の動作例を示す図である。

【図 7】

図 1 のセレクタの第 1 構成例を示すブロック図である。

【図 8】

図 8 (A) 及び (B) は、それぞれ、図 7 のスイッチの第 1 構成例と第 2 構成例とを示す図である。

【図 9】

図 1 のセレクタの第 2 構成例を示すブロック図である。

【図 1 0】

図 1 に示す変調クロック信号発生回路の第 1 動作波形例を示す図である。

【図 1 1】

図 1 に示す変調クロック信号発生回路の第 2 動作波形例を示す図である。

【図 1 2】

本発明の第 2 の実施の形態による変調クロック信号発生回路の全体構成例を示すブロック図である。

【図 1 3】

本発明の第 3 の実施の形態による変調クロック信号発生回路の全体構成例を示すブロック図である。

【図 1 4】

図 1 3 の制御回路の構成例を示すブロック図である。

【図 1 5】

図 1 4 の $\Delta \Sigma$ 変調器の構成例を示すブロック図である。

【図 1 6】

従来の変調クロック信号発生回路の構成を示すブロック図である。

【図 1 7】

図 1 6 のクロック生成部の構成例を示すブロック図である。

【図 1 8】

図 1 6 の選択処理部の構成を示すブロック図である。

【図 1 9】

図 1 6 の変調クロック信号発生回路の動作波形図である。

【図 2 0】

図 1 6 の変調クロック信号発生回路の問題点を動作波形の観点から説明するための図である。

【図 2 1】

図 2 1 (A) から (C) までは、図 1 6 の変調クロック信号発生回路の問題点をスペクトル分散の観点から説明するための図である。

【図 2 2】

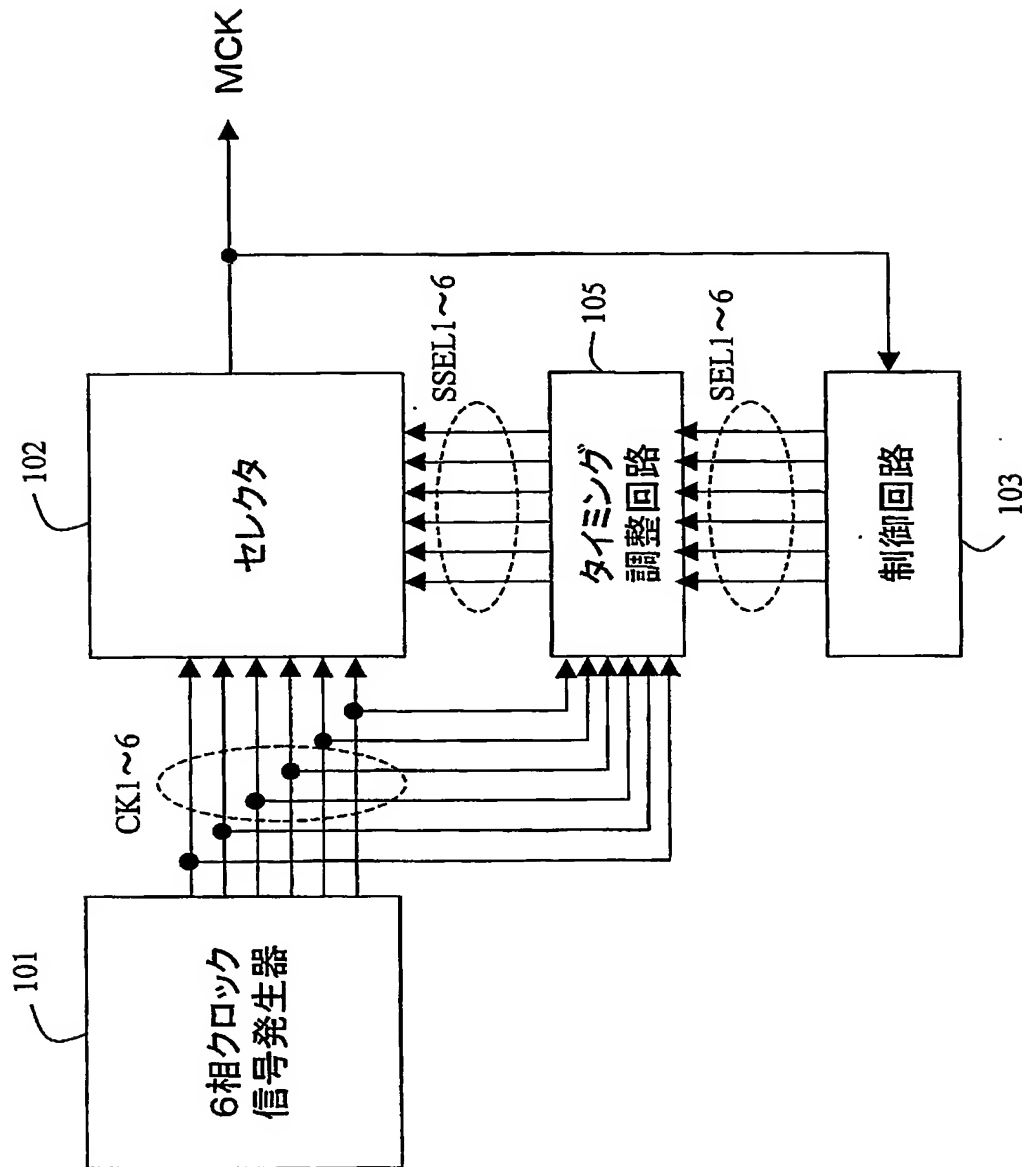
本発明の第 2 の実施の形態の変形例による変調クロック信号発生回路の全体構成例を示すブロック図である。

【符号の説明】

1 0 1 … 6 相クロック信号発生器、1 0 2 … セレクタ、1 0 3 … 制御回路、1 0 5 … タイミング調整回路、3 0 1 … 位相調整回路 (PFD)、3 0 2 … チャージポンプ、3 0 3 … ループフィルタ、3 0 4 … 6 相 VCO、4 0 1 … アップ／ダウンカウンタ、4 0 2 … デコーダ、4 0 5 … 制御部、5 0 1 … フリップフロップ、5 1 1 … セレクタ回路、7 0 1 ～ 7 0 6 … フリップフロップ回路、7 1 1 ～ 7 1 6 … スイッチ回路、7 2 1 … バッファ回路。

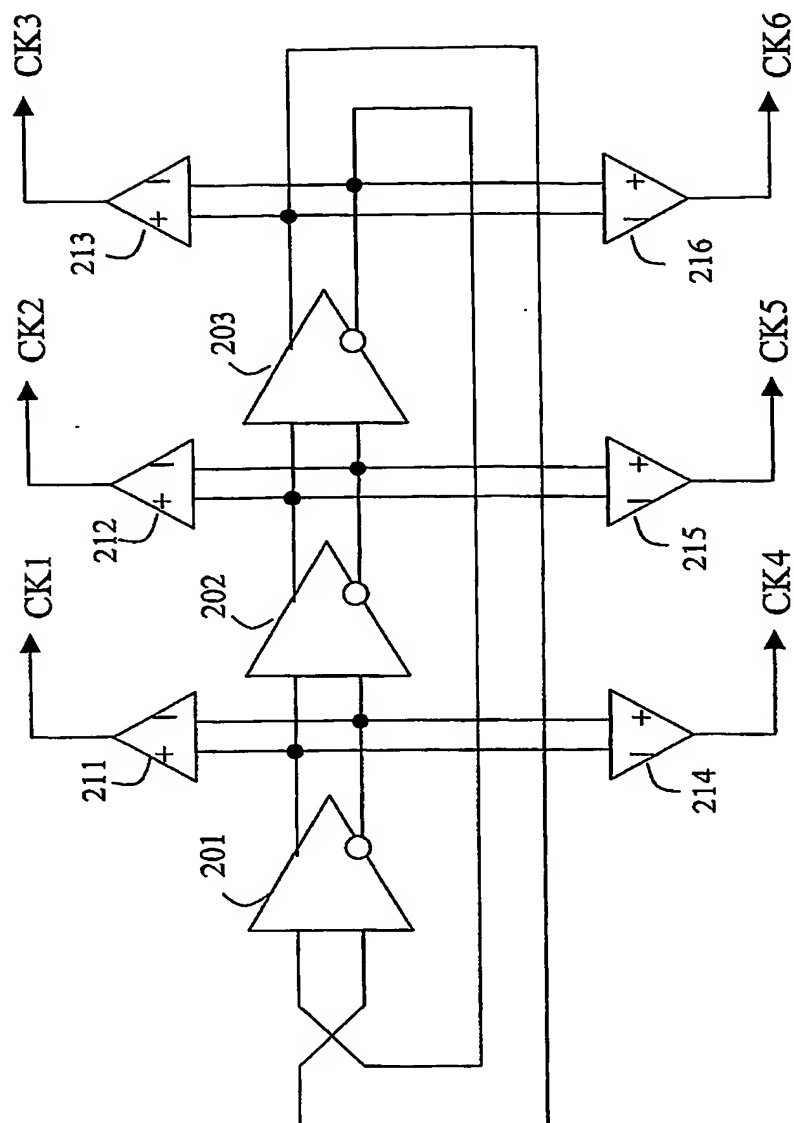
【書類名】 図面

【図 1】

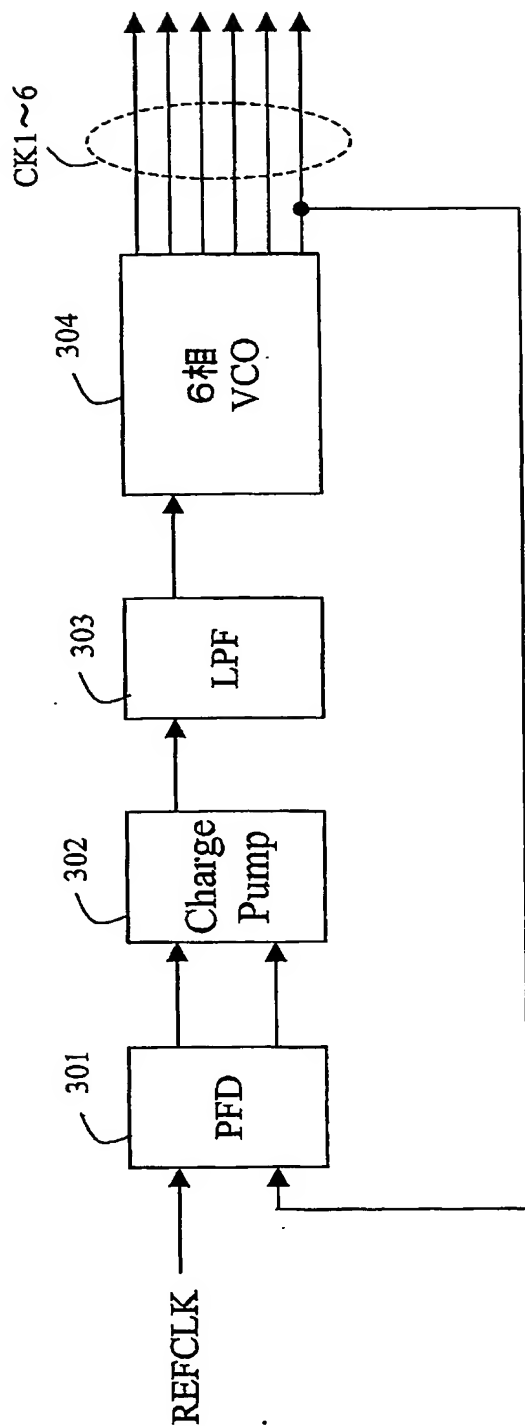


【図2】

101

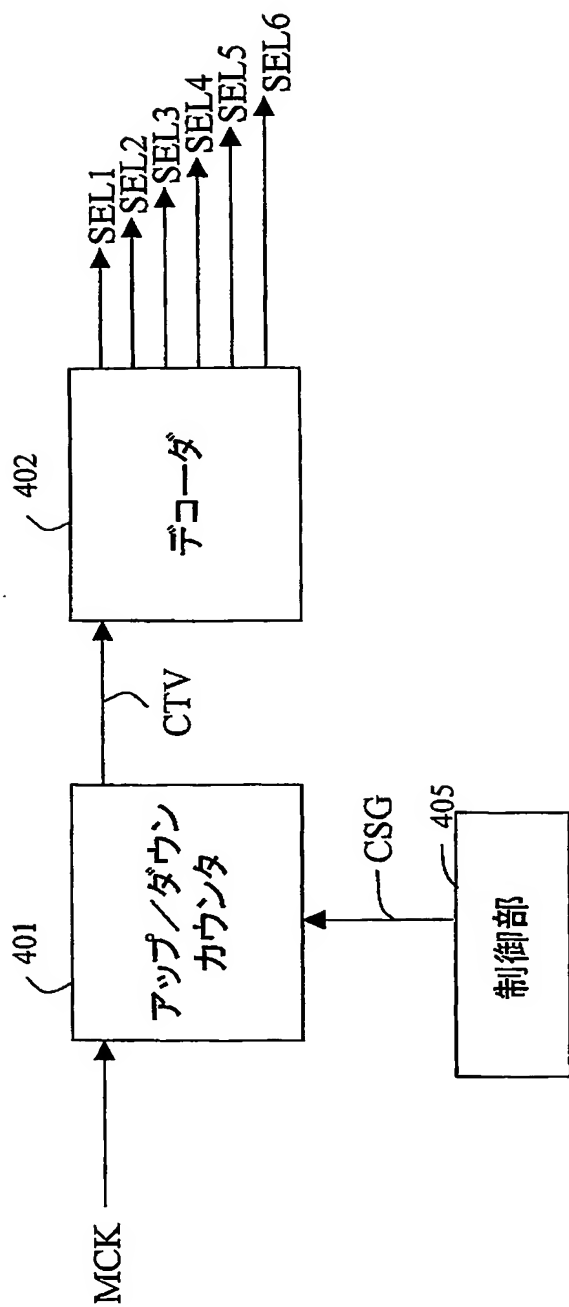


【図 3】

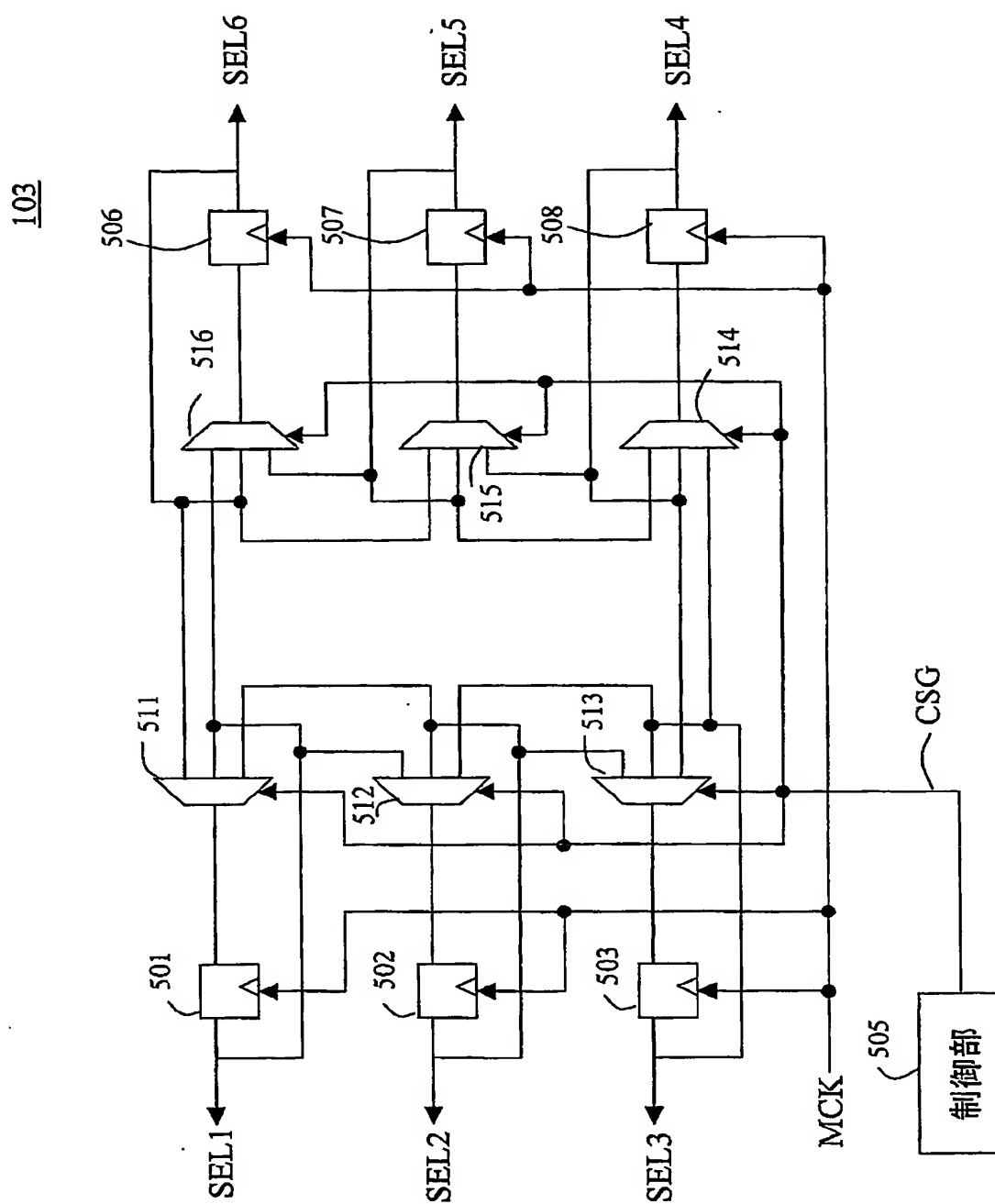


【図 4】

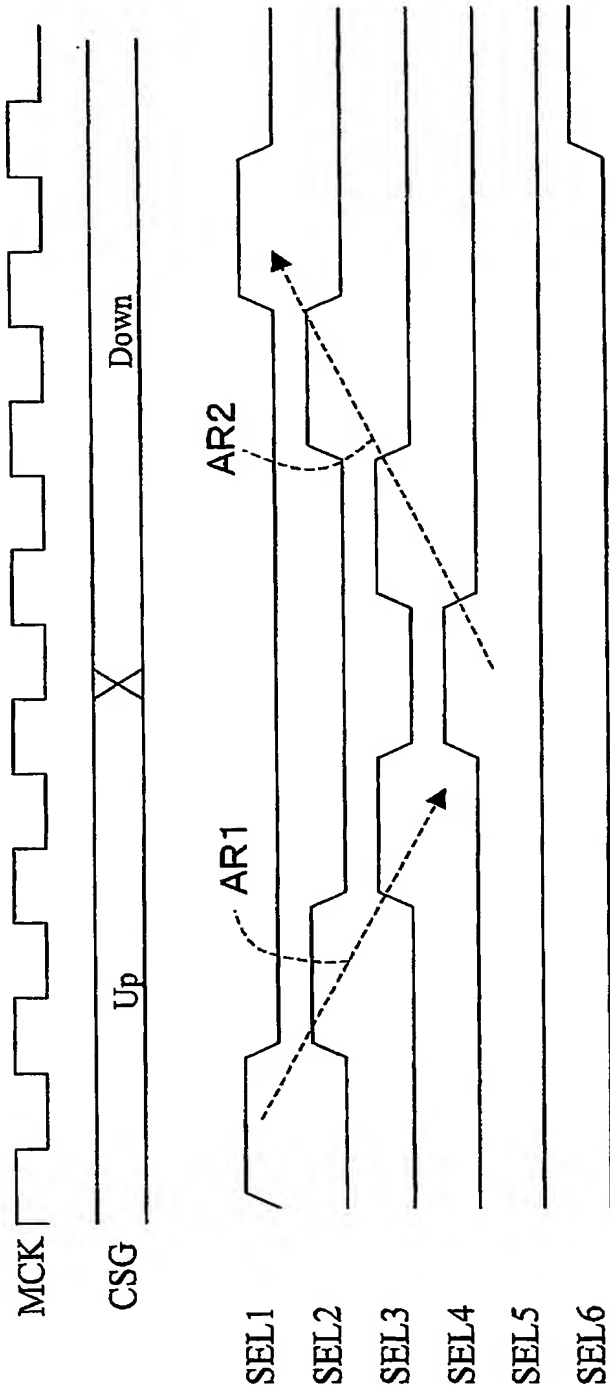
103



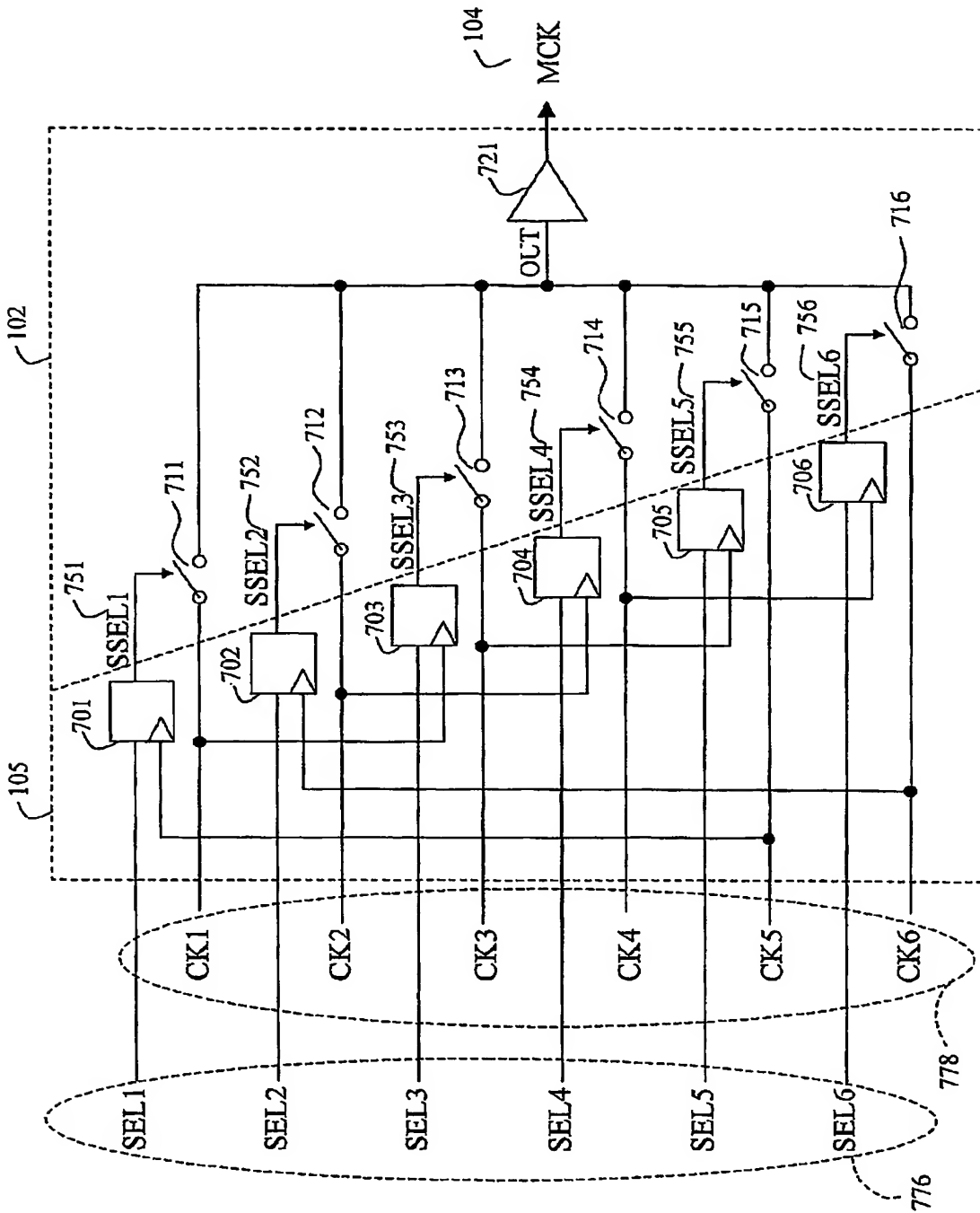
【図5】



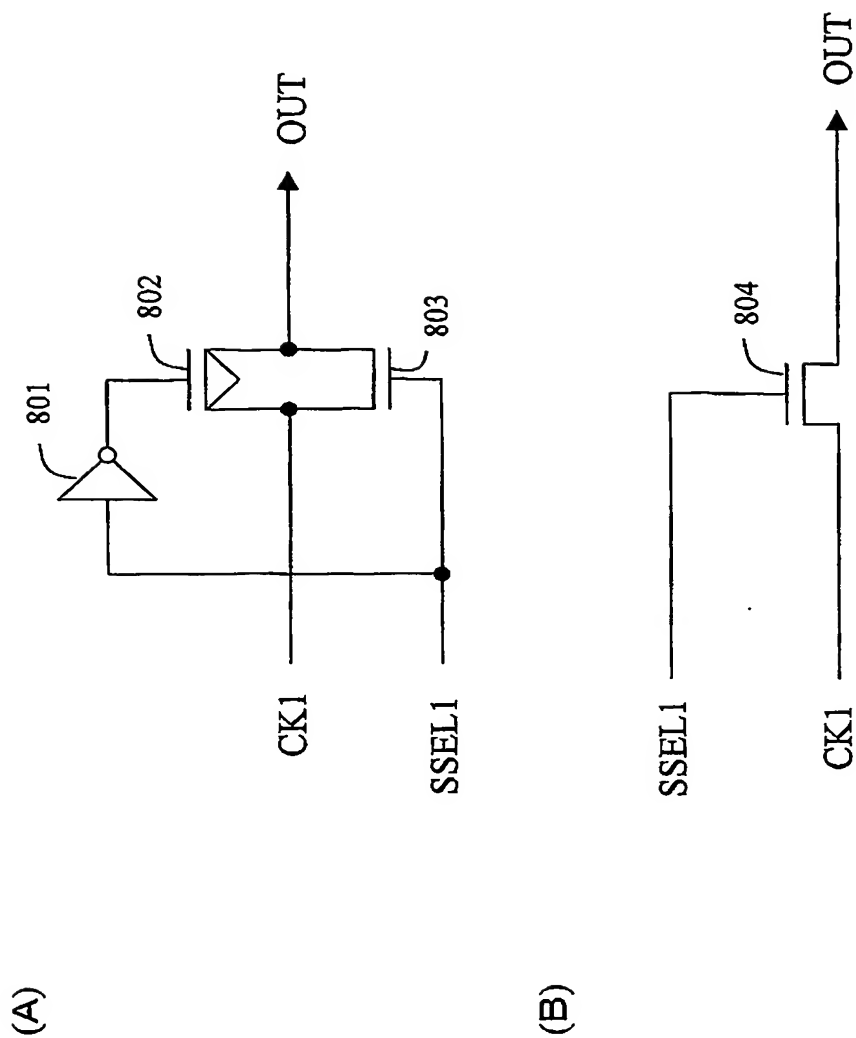
【図 6】



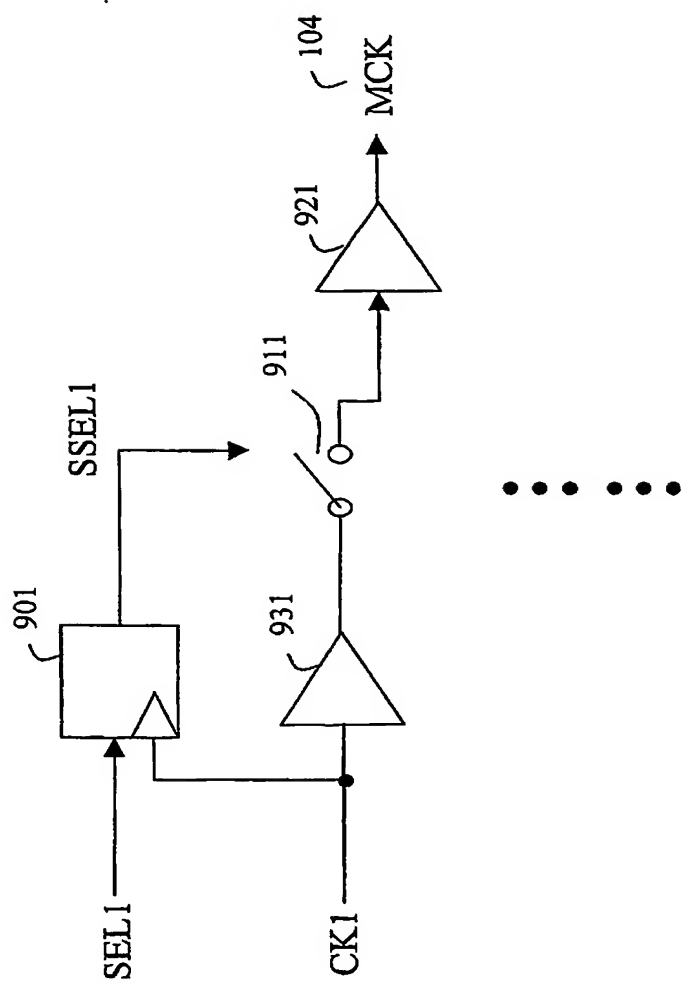
【図 7】



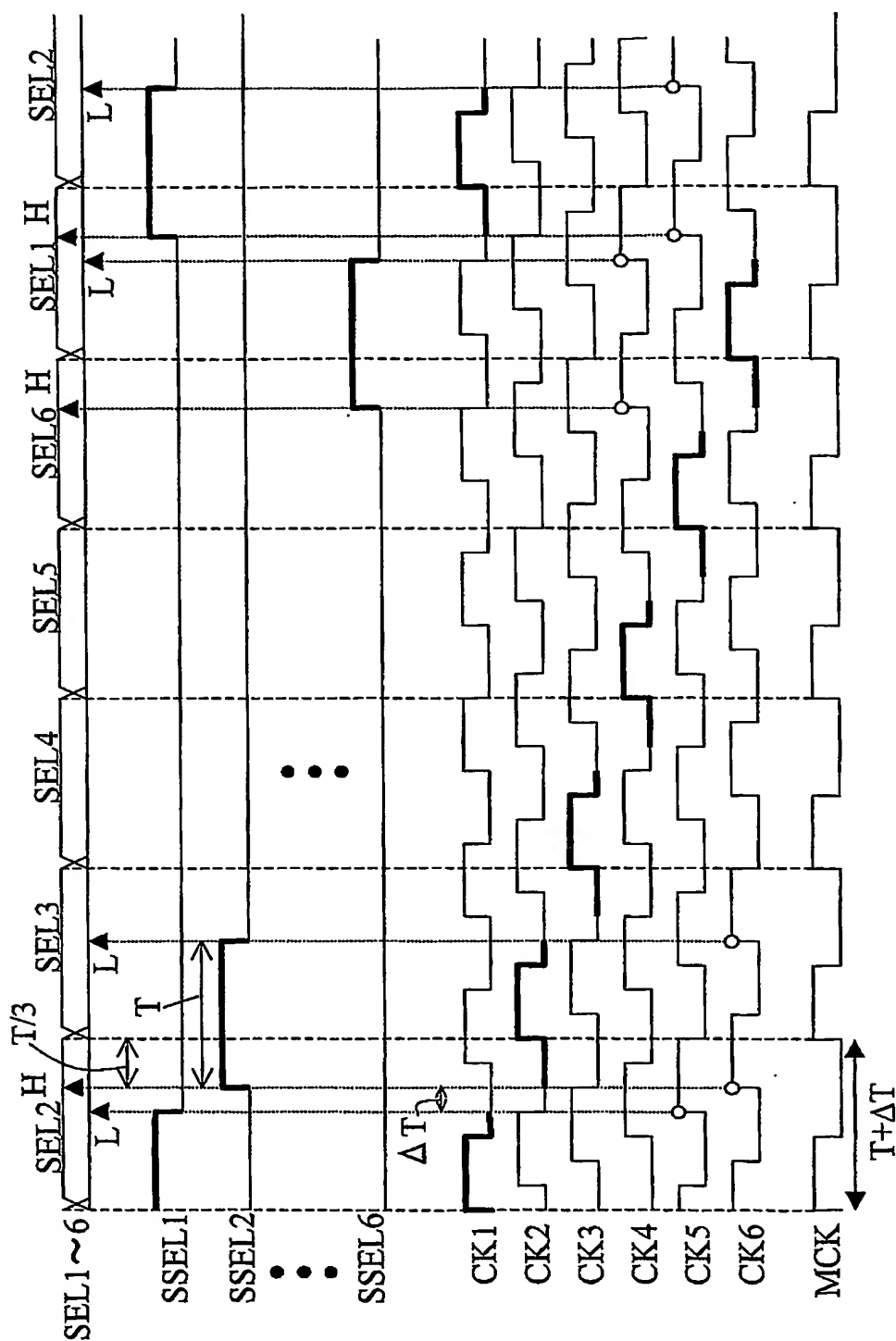
【図 8】



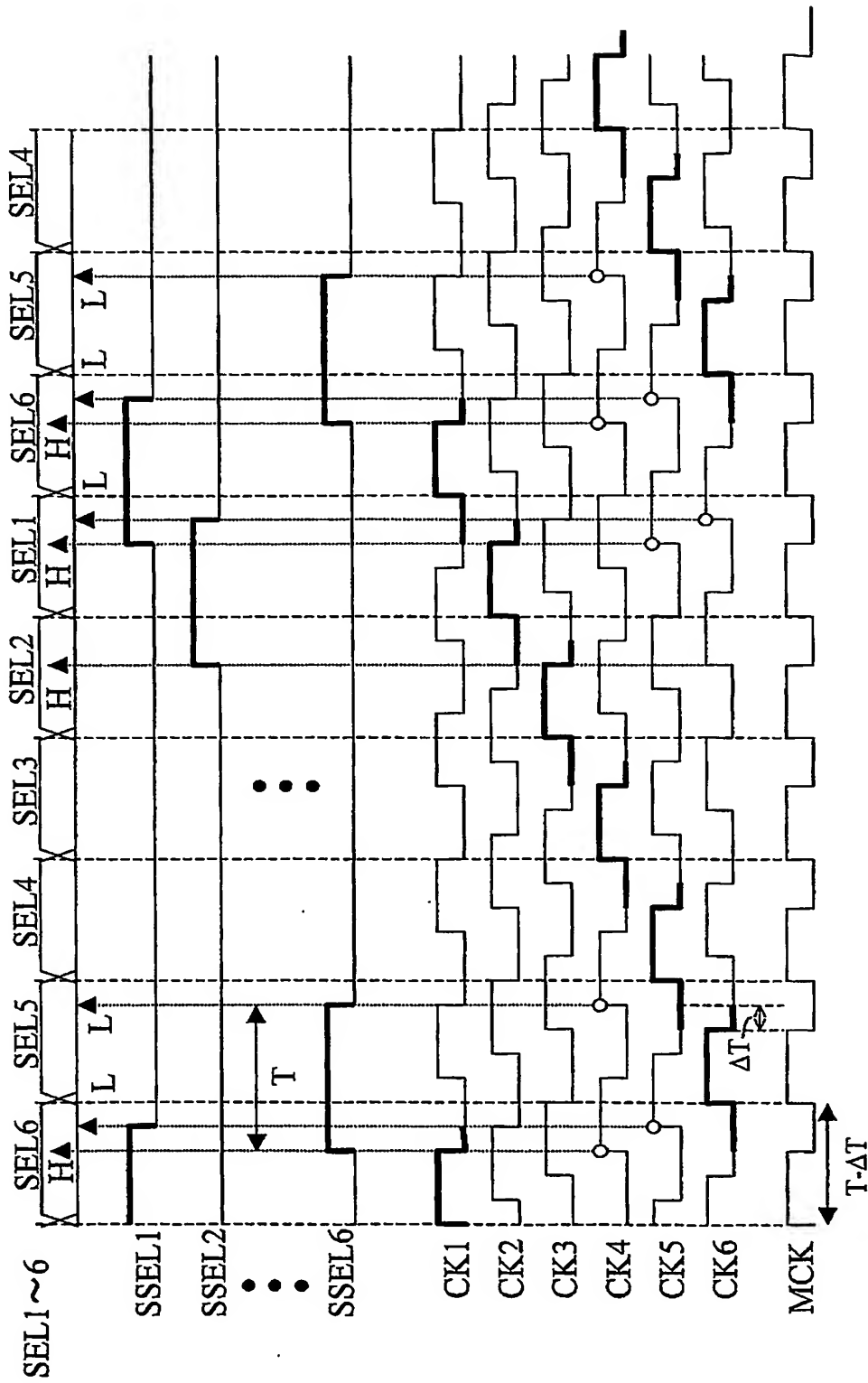
【図 9】



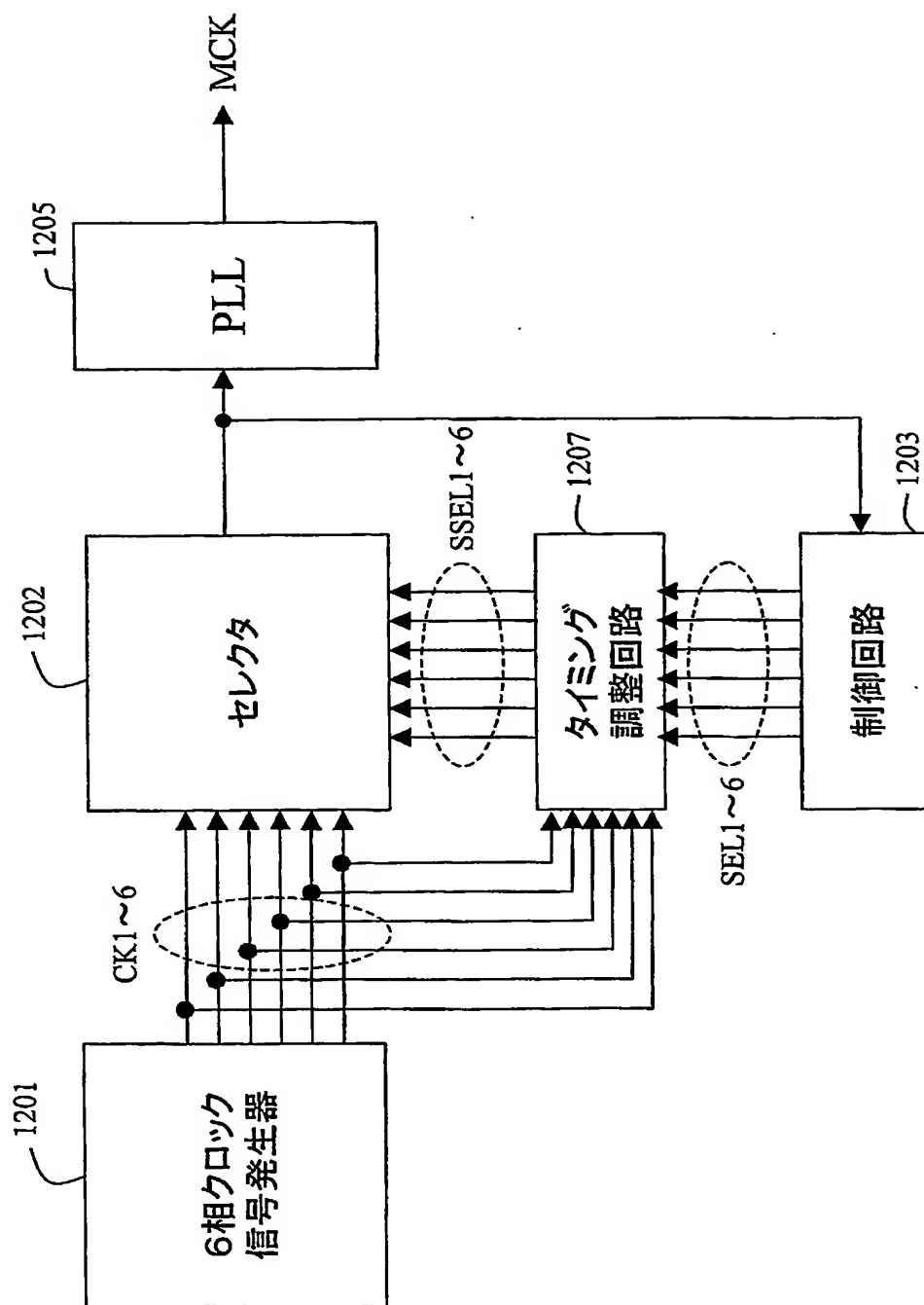
【図 10】



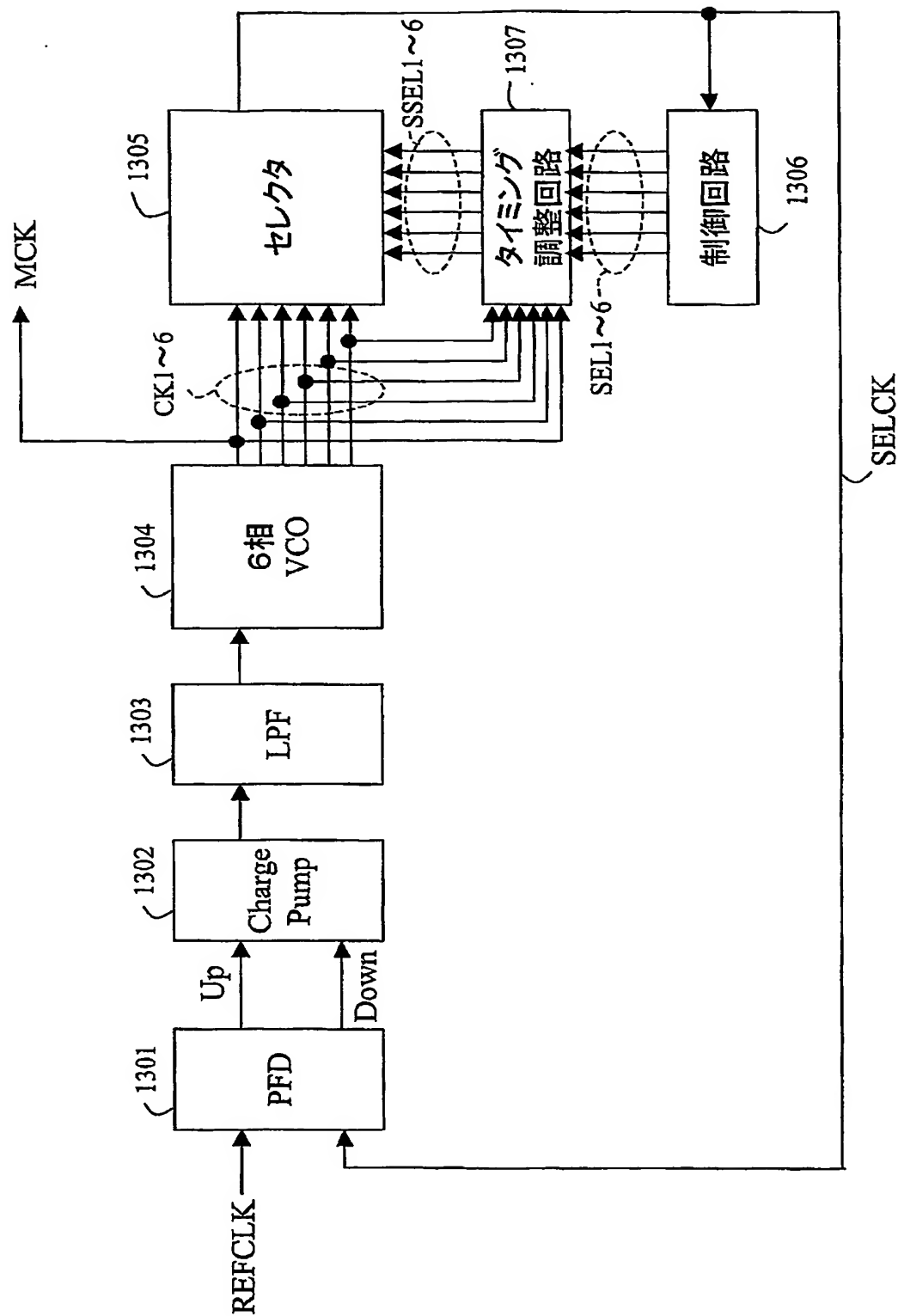
【図 11】



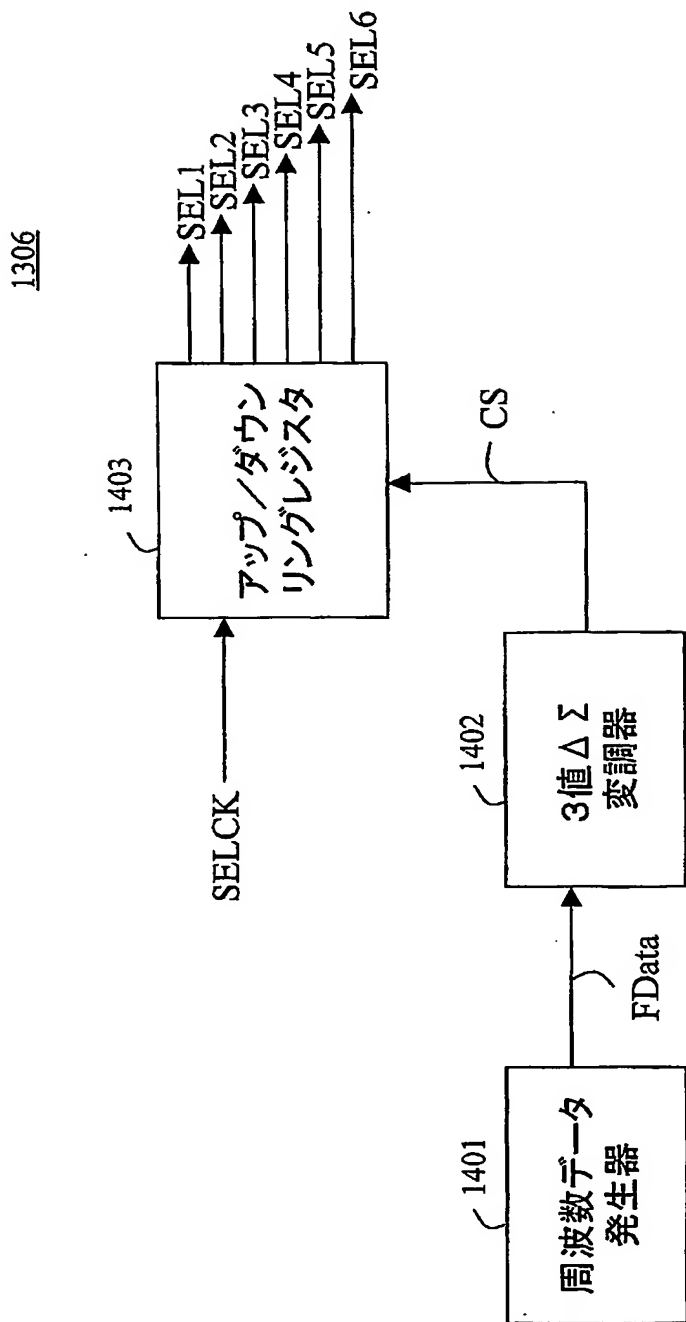
【図 12】



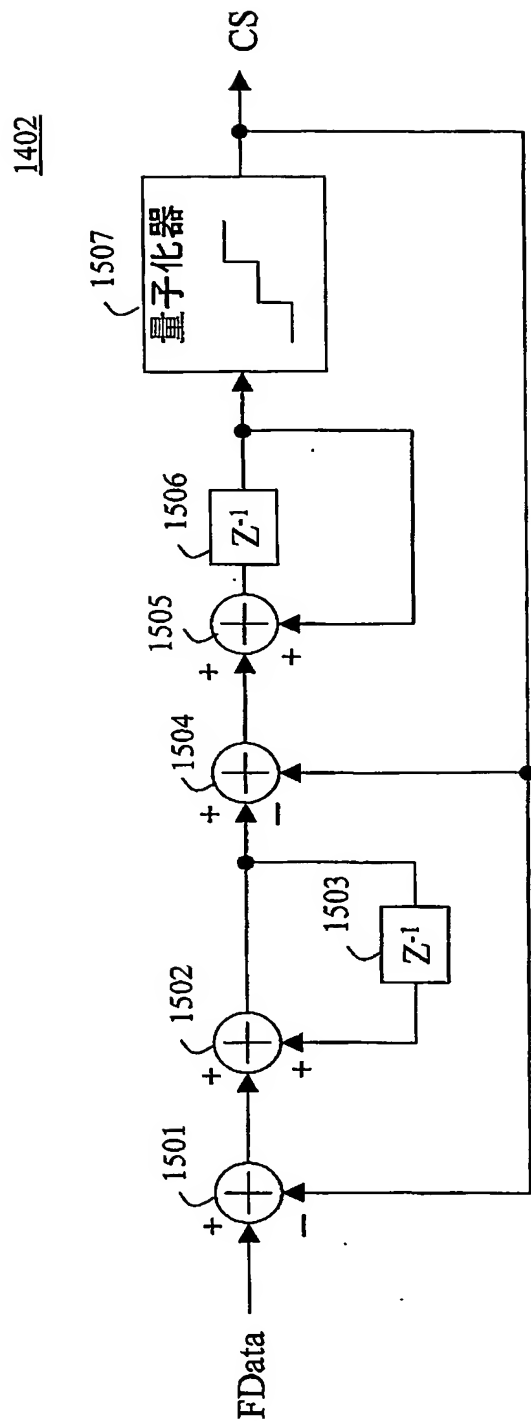
【図 13】



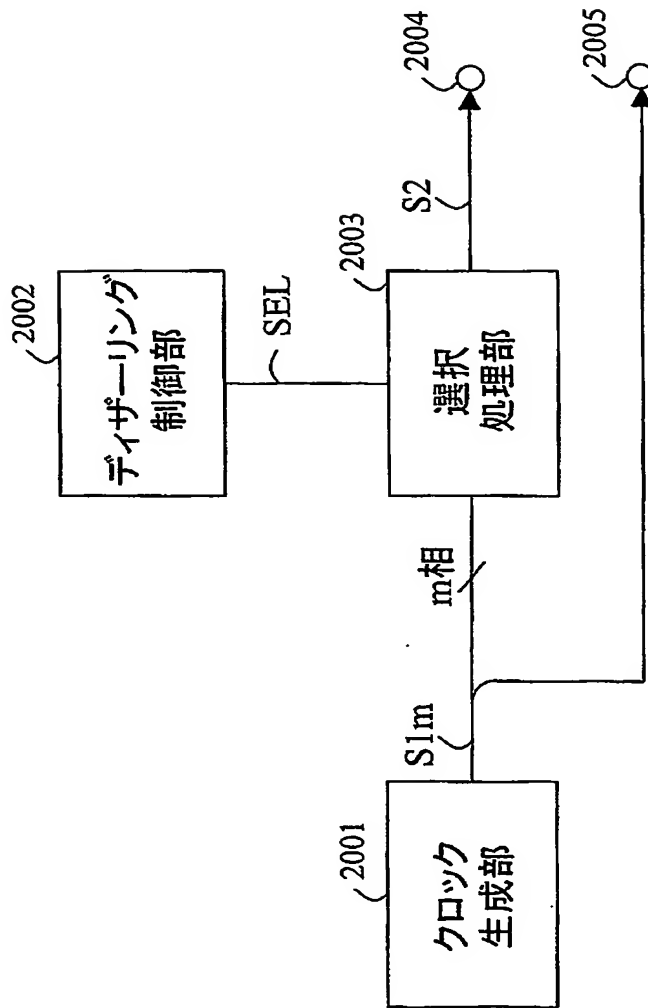
【図 14】



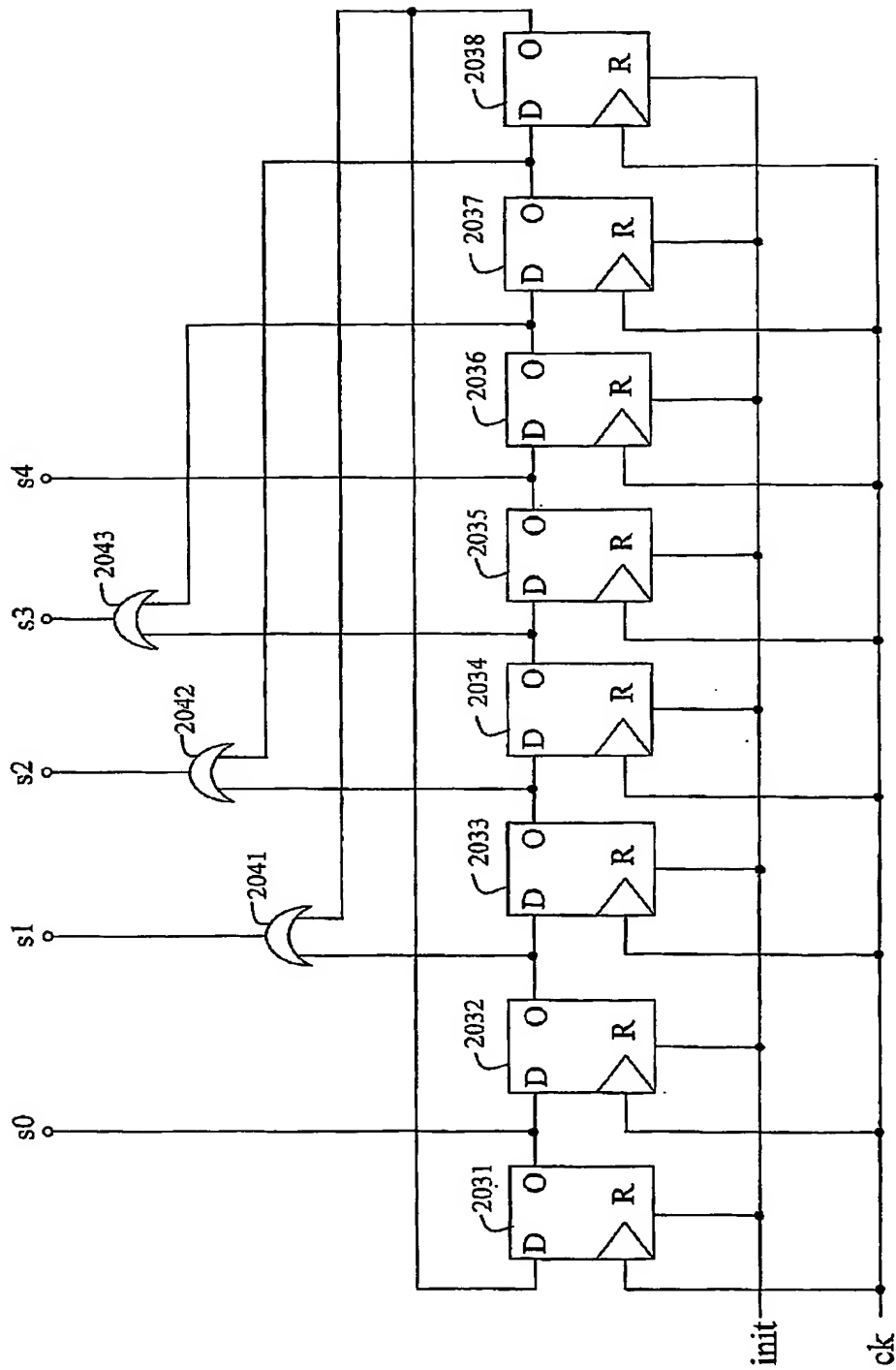
【図 15】



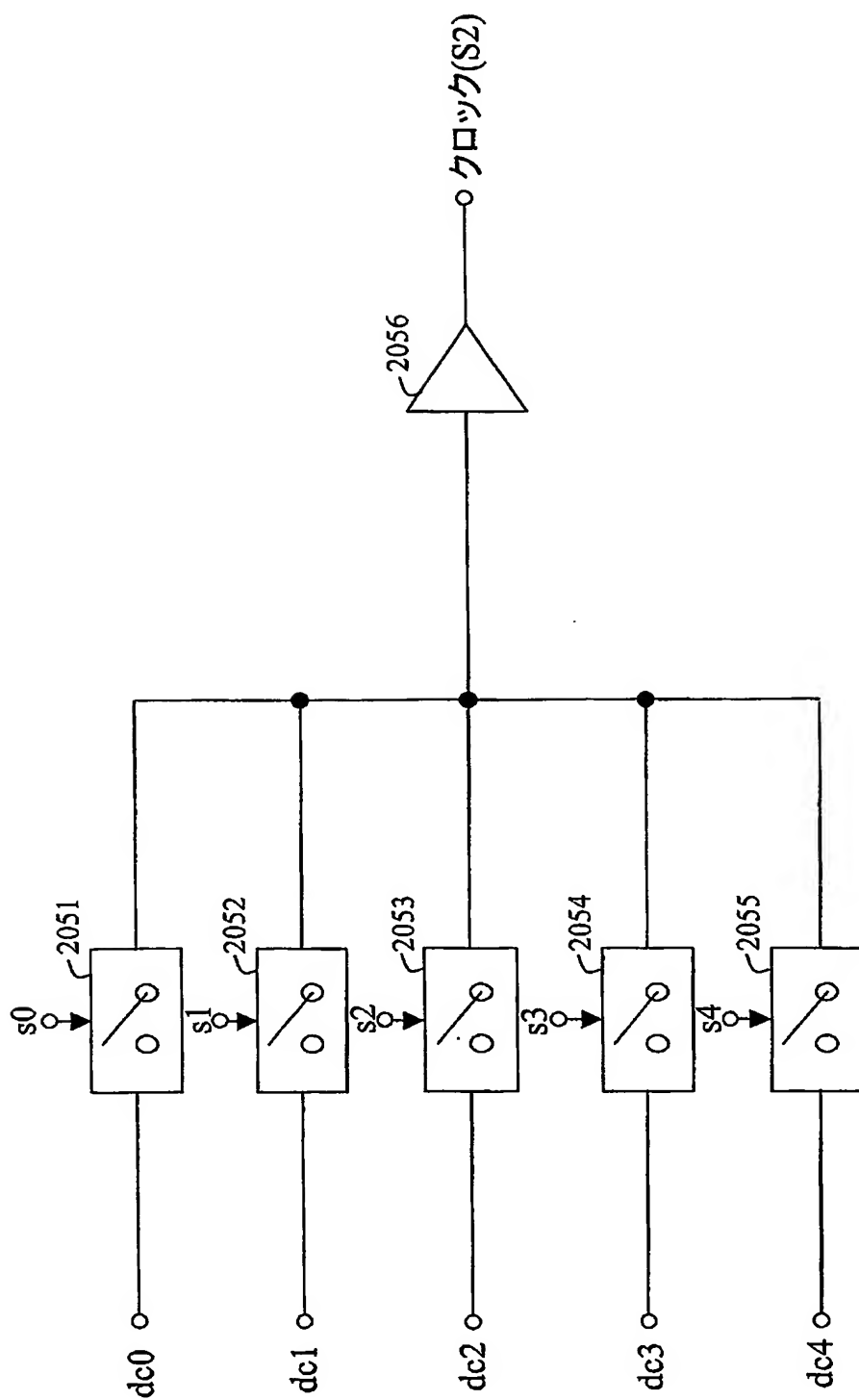
【図 16】



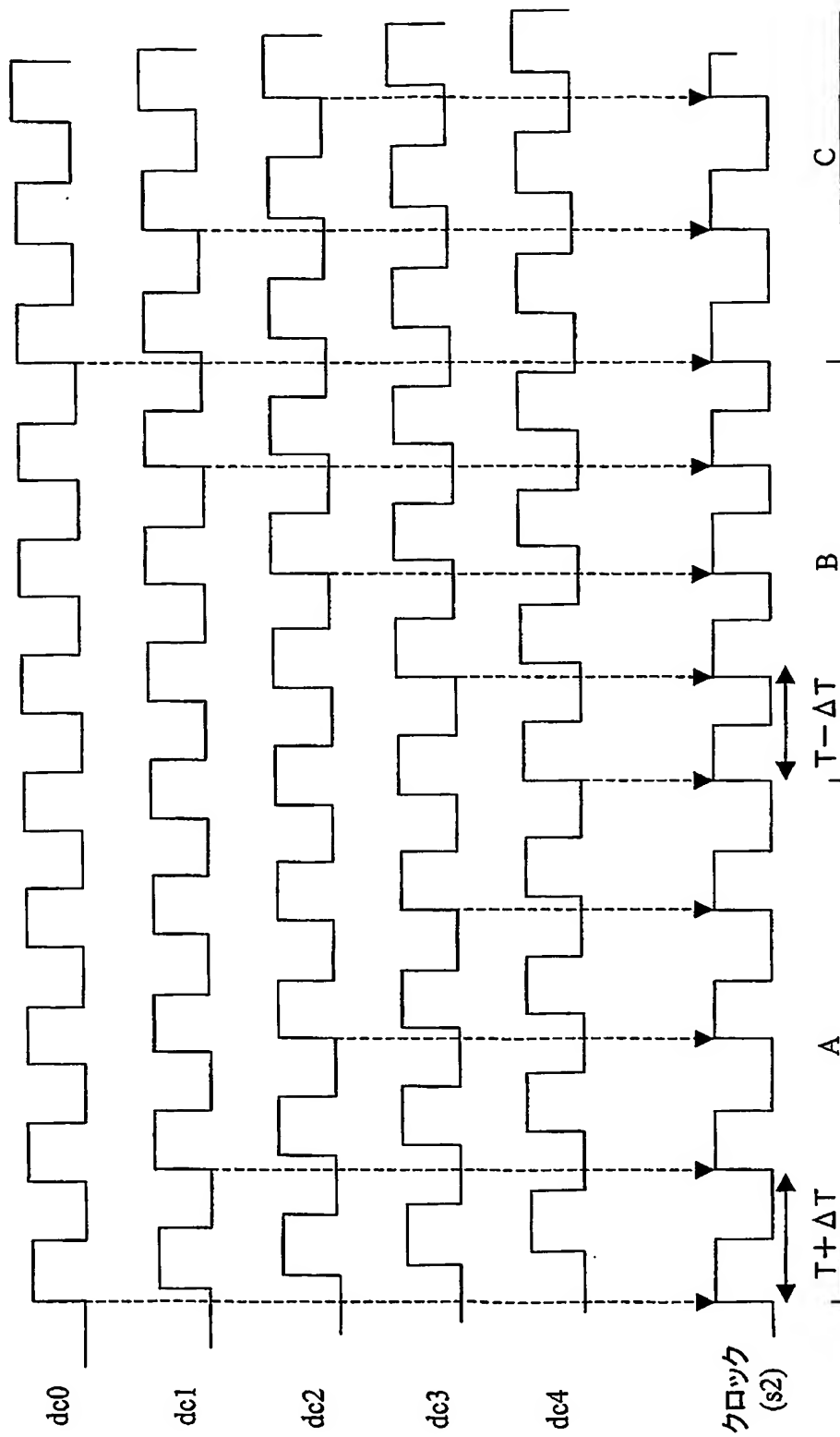
【図 17】



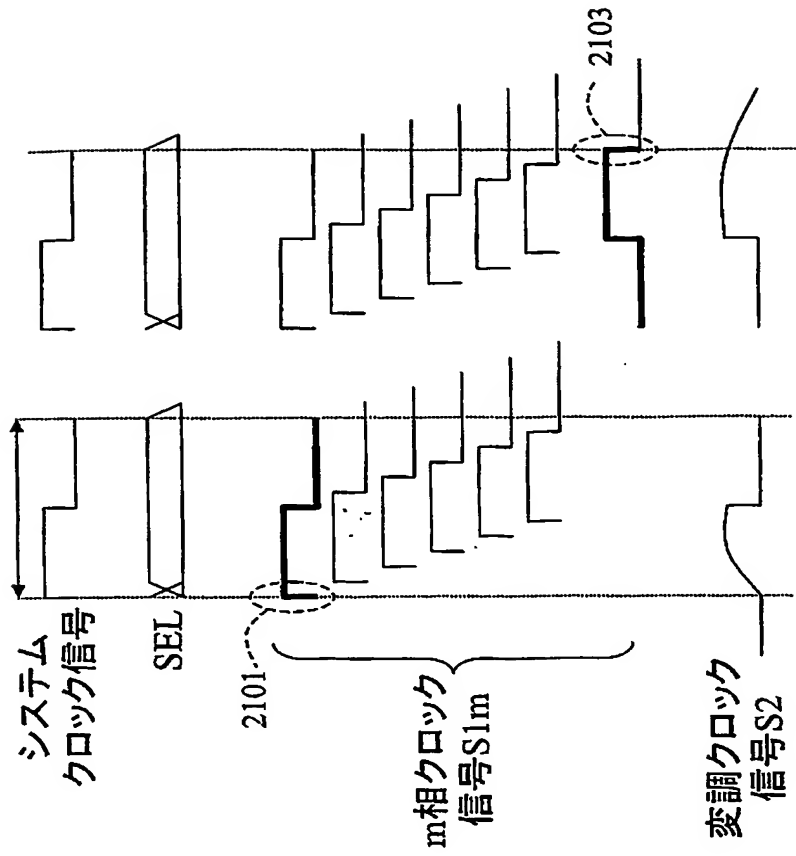
【図 18】



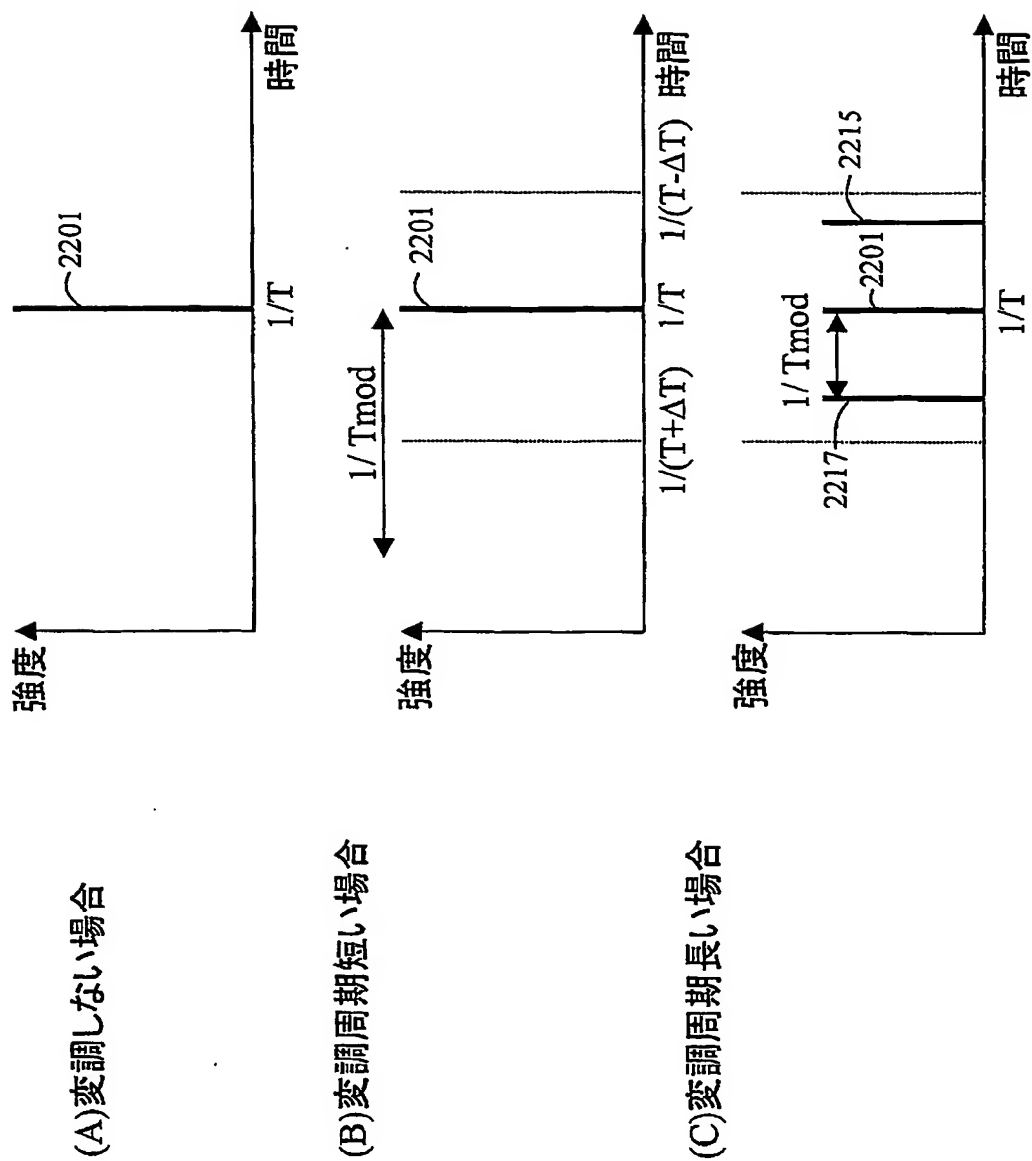
【図 19】



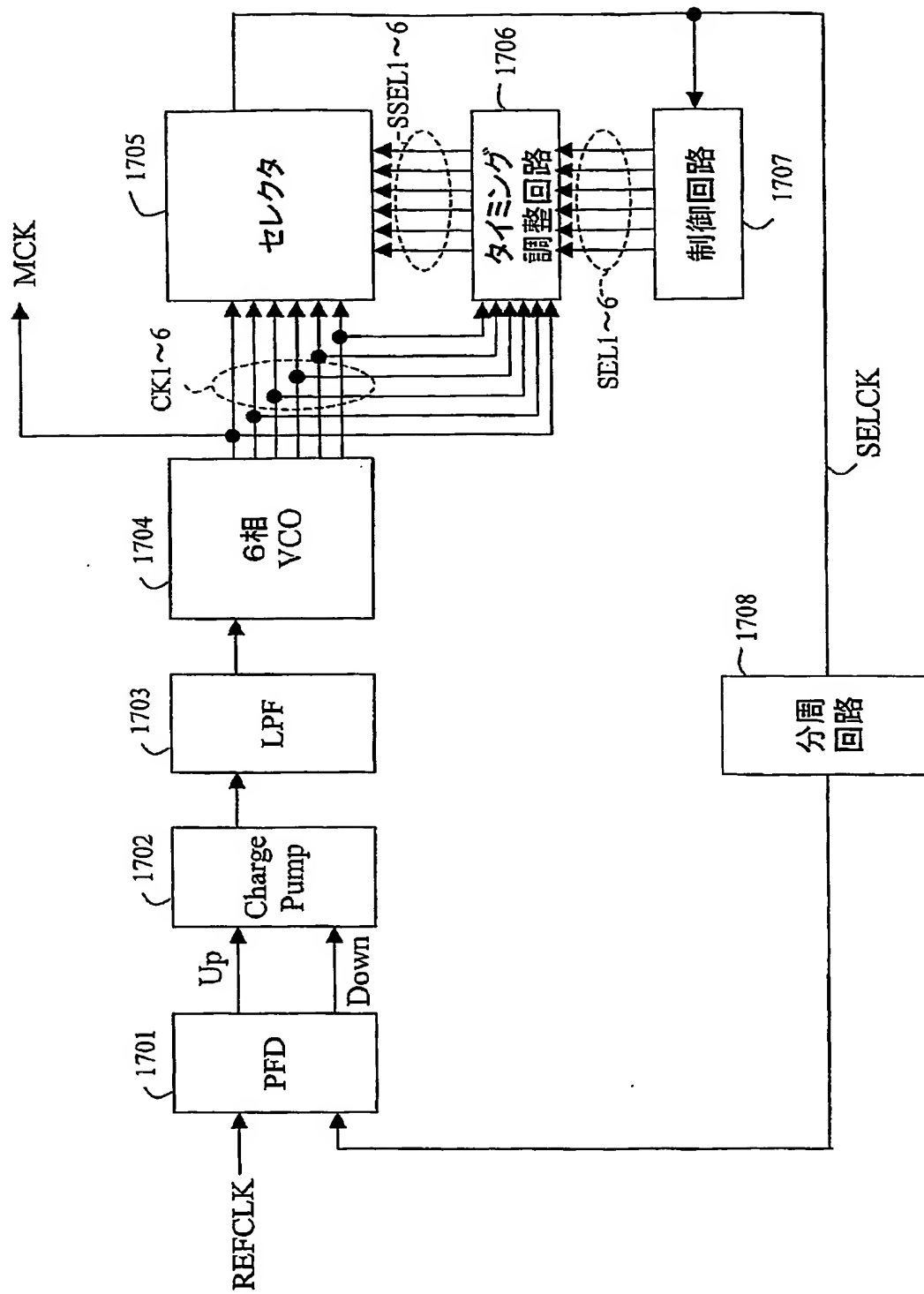
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 変調クロック信号発生回路における選択するクロック信号の位相範囲の制限を無くして、EMIを一層低減させる。

【解決手段】 互いに位相差を有する6相のクロック信号を発生する6相クロック信号発生器101と、この6相クロック信号発生器101から出力される6相のクロック信号CK1～6のうちのいずれのクロック信号を選択するかを指示する第1のクロック選択信号SEL1～6であって、6相のクロック信号のそれぞれと対応する第1のクロック選択信号を順次出力する制御回路103と、制御回路103から出力される第1のクロック選択信号SEL1～6の立ち上がりエッジ又は立ち下がりエッジのうちの少なくとも一方のタイミングを調整して、6相クロック発生器101から出力される6相のクロック信号のそれぞれと対応する第2のクロック選択信号SSEL1～6を出力するタイミング調整回路105と、タイミング調整回路105から出力される第2のクロック選択信号SSEL1～6のうちの活性化状態に基づいて6相のクロック信号のうちのクロック信号を選択し、変調クロック信号MCKを出力するセレクタ102とを備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[399011195]

1. 変更年月日

2000年 1月17日

[変更理由]

住所変更

住 所

東京都中央区八丁堀一丁目10番7号

氏 名

ザインエレクトロニクス株式会社

2. 変更年月日

2003年 5月 6日

[変更理由]

住所変更

住 所

東京都中央区日本橋本町三丁目3番6号

氏 名

ザインエレクトロニクス株式会社